保密级别：外部使用

UM2002 用户手册

版本：V1.2



Unicmicro

广芯微电子（广州）股份有限公司

http://www.unicmicro.com/

条款协议

本文档的所有部分，其著作产权归广芯微电子（广州）股份有限公司（以下简称广芯微电子）所有，未经广芯微电子授权许可，任何个人及组织不得复制、转载、仿制本文档的全部或部分组件。本文档没有任何形式的担保、立场表达或其他暗示，若有任何因本文档或其中提及的产品所有资讯所引起的直接或间接损失，广芯微电子及所属员工恕不为其担保任何责任。除此以外，本文档所提到的产品规格及资讯仅供参考，内容亦会随时更新，恕不另行通知。

1. 本文档中所记载的关于电路、软件和其他相关信息仅用于说明半导体产品的操作和应用实例。用户如在设备设计中应用本文档中的电路、软件和相关信息，请自行负责。对于用户或第三方因使用上述电路、软件或信息而遭受的任何损失，广芯微电子不承担任何责任。
2. 在准备本文档所记载的信息的过程中，广芯微电子已尽量做到合理注意，但是，广芯微电子并不保证这些信息都是准确无误的。用户因本文档中所记载的信息的错误或遗漏而遭受的任何损失，广芯微电子不承担任何责任。
3. 对于因使用本文档中的广芯微电子产品或技术信息而造成的侵权行为或因此而侵犯第三方的专利、版权或其他知识产权的行为，广芯微电子不承担任何责任。本文档所记载的内容不应视为对广芯微电子或其他人所有的专利、版权或其他知识产权作出任何明示、默示或其他方式的许可及授权。
4. 使用本文档中记载的广芯微电子产品时，应在广芯微电子指定的范围内，特别是在最大额定值、电源工作电压范围、热辐射特性、安装条件以及其他产品特性的范围内使用。对于在上述指定范围之外使用广芯微电子产品而产生的故障或损失，广芯微电子不承担任何责任。
5. 虽然广芯微电子一直致力于提高广芯微电子产品的质量和可靠性，但是，半导体产品有其自身的具体特性，如一定的故障发生率以及在某些使用条件下会发生故障等。此外，广芯微电子产品均未进行防辐射设计。所以请采取安全保护措施，以避免当广芯微电子产品在发生故障而造成火灾时导致人身事故、伤害或损害的事故。例如进行软硬件安全设计（包括但不限于冗余设计、防火控制以及故障预防等）、适当的老化处理或其他适当的措施等。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

目录

1 系统概述 1
2 功能框图 2
3 封装及引脚描述 3
3.1 封装引脚分布 3
3.2 引脚功能描述 3
4 寄存器定义 5
4.1 Reg00 Address:0x00 Default:0x1D 5
4.2 Reg01 Address:0x01 Default:0x78 5
4.3 Reg02 Address:0x02 Default:0x00 5
4.4 Reg03 Address:0x03 Default:0x00 5
4.5 Reg04 Address:0x04 Default:0x00 6
4.6 Reg05 Address:0x05 Default:0x03 6
4.7 Reg06 Address:0x06 Default:0x33 6
4.8 Reg07 Address:0x07 Default:0x33 6
4.9 Reg08 Address:0x08 Default:0x10 6
4.10 Reg09 Address:0x09 Default:0x00 7
4.11 Reg0A Address:0x0A Default:0x00 7
4.12 Reg0B Address:0x0B Default:0x00 7
4.13 Reg0D Address:0x0D Default:0x30 7
4.14 Reg0E Address:0x0E Default:0x32 8
4.15 Reg10 Address:0x10 Default:0x40 9
4.16 Reg11 Address:0x11 Default:0x00 9
4.17 Reg20 Address:0x20 Default:0x50 10
4.18 Reg28 Address:0x28 Default:0x19 10
4.19 Reg2B Address:0x2B Default:0xFF 10
4.20 Reg2C Address:0x2C Default:0xFF 11
4.21 Reg37 Address:0x37 Default:0x06 11
4.22 Reg38 Address:0x38 Default:0x91 11
4.23 Reg4D Address:0x4D Default:0x10 11
4.24 Reg4E Address:0x4E Default:0x45 12
4.25 Reg4F Address:0x4F Default:0x67 12
4.26 Reg50 Address:0x50 Default:0x00 12
4.27 Reg51 Address:0x51 Default:0x00 13
4.28 Reg52 Address:0x52 Default:0x00 13
4.29 Reg56 Address:0x56 Default:0xB7 13

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

4.30 Reg57 Address:0x57 Default:0x00 13
4.31 Reg5D Address:0x5D Default:0x00 14
4.32 Reg60 Address:0x60 Default:0x80 14
4.33 Reg61 Address:0x61 Default:0x00 14
4.34 Reg64 Address:0x64 Default:0x00 15
4.35 Reg67 Address:0x67 Default:0x80 15
4.36 Reg68 Address:0x68 Default:0x00 15
4.37 Reg69 Address:0x69 Default:0x00 15
4.38 Reg6A Address:0x6A Default:0x00 15
4.39 Reg6B Address:0x6B Default:0x00 16
4.40 Reg6C Address:0x6C Default:0x00 16
4.41 Reg6D Address:0x6D Default:0x00 16
4.42 Reg6E Address:0x6E Default:0x00 16
4.43 Reg6F Address:0x6F Default:0x00 16
4.44 Reg70 Address:0x70 Default:0xFF 16
4.45 Reg71 Address:0x71 Default:0x09 17
4.46 Reg72 Address:0x72 Default:0x01 17
4.47 Reg74 Address:0x74 Default:0x03 17
4.48 Reg75 Address:0x75 Default:0xA7 18
4.49 Reg76 Address:0x76 Default:0xA7 18
4.50 Reg77 Address:0x77 Default:0x98 18
4.51 Reg78 Address:0x78 Default:0xF3 19
4.52 Reg79 Address:0x79 Default:0x98 19
4.53 Reg7A Address:0x7A Default:0xF3 19
4.54 Reg7B Address:0x7B Default:0x98 19
4.55 Reg7C Address:0x7C Default:0xF3 19
4.56 Reg7D Address:0x7D Default:0x0E 19
4.57 Reg7E Address:0x7E Default:0x00 20
4.58 Reg7F Address:0x7F Default:0x00 20
4.59 Reg80 Address:0x80 Default:0x1D 20
4.60 Reg81 Address:0x81 Default:0x78 20
4.61 Reg82 Address:0x82 Default:0x00 21
4.62 Reg83 Address:0x83 Default:0x00 21
4.63 Reg84 Address:0x84 Default:0x00 21
4.64 Reg85 Address:0x85 Default:0x03 21
4.65 Reg86 Address:0x86 Default:0x33 22
4.66 Reg87 Address:0x87 Default:0x33 22
4.67 Reg88 Address:0x88 Default:0x10 22

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.68 Reg89 Address:0x89 Default:0x00 22
4.69 Reg8A Address:0x8A Default:0x00 22
4.70 Reg8D Address:0x8D Default:0x30 23
4.71 Reg94 Address:0x94 Default:0x08 23
4.72 Reg95 Address:0x95 Default:0x20 24
4.73 Reg96 Address:0x96 Default:0x26 24
4.74 Reg97 Address:0x97 Default:0x1F 24
4.75 Reg98 Address:0x98 Default:0x68 24
4.76 Reg99 Address:0x99 Default:0x04 24
4.77 Reg9A Address:0x9A Default:0xAE 24
4.78 Reg9B Address:0x9B Default:0x89 25
4.79 Reg9C Address:0x9C Default:0x84 25
4.80 RegA0 Address:0xA0 Default:0x50 25
4.81 RegA3 Address:0xA3 Default:0x42 25
4.82 RegE0 Address:0xE0 Default:0x80 25
4.83 RegE1 Address:0xE1 Default:0x00 26

5 功能描述 27
5.1 接收机 27
5.2 频率综合器 27
5.3 RSSI 28
5.3.1 自动计算 RSSI 29
5.3.2 RSSI 自动过滤功能 30
5.4 系统复位 31
5.4.1 上电复位 POR 31
5.4.2 外部复位 nRST 32
5.4.3 软件复位 33

6 芯片运行 34
6.1 SPI 接口 34
6.2 启动时序与状态机 35
6.3 GPIO 和中断 37
6.3.1 中断的配置和映射 38
6.4 FIFO 缓冲区 39
6.4.1 FIFO 的工作模式 39
6.4.2 FIFO 的中断时序 39
6.4.3 FIFO 的应用场景 39

7 数据处理机制 41
7.1 直通模式（Direct） 41

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

7.2 数据包（Packet）.....41
7.2.1 数据包模式.....42
7.2.2 数据包操作流程.....44
7.2.3 数据包字段.....44
8 典型应用.....61
8.1 参考原理图.....61
8.2 匹配参数.....62
9 封装尺寸.....63
9.1 QFN20（4 * 4mm）.....63
10 版本维护.....64

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

图目录

图 2-1：功能框图 2
图 3-1：QFN20 封装引脚分布图 3
图 5-1：RSSI 线性图 30
图 5-2：复位信号图-电源突变 31
图 5-3：复位信号图-电源电压下降 32
图 6-1：SPI 读写寄存器时序图 34
图 6-2：SPI 读写 FIFO 时序图 35
图 6-3：状态机控制图 36
图 7-1：Mode 0 帧格式 42
图 7-2：Mode 1 帧格式 43
图 7-3：Mode 2 帧格式 43
图 7-4：Mode 3 帧格式 44
图 7-5：PAYLOAD_BIT_ORDER 操作 48
图 7-6：PN7 的抽出模式 49
图 7-7：PN9 的插入模式 49
图 7-8：m3_length_en=0 时 MODE 3 帧格式 51
图 7-9：可变长度包格式，Address 不存在 52
图 7-10：Address 存在，Address 在 Length Byte 之前 53
图 7-11：Address 存在，Address 在 Length Byte 之后 54
图 7-12：CRC 编码范围 58
图 7-13：CRC_INV 58
图 7-14：CRC_BIT_ORDER 58
图 7-15：0x07 配置 59
图 7-16：0x1021 配置 60
图 8-1：参考原理图 61
图 9-1：QFN20 封装图 63

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

表目录

表 3-1：引脚功能说明 3
表 5-1：频率综合器相关寄存器 28
表 5-2：RSSI 相关寄存器列表 29
表 5-3：外部复位相关寄存器 32
表 5-4：软件复位相关寄存器 33
表 6-1：SPI 时序参数 35
表 6-2：GPIO 配置相关寄存器列表 37
表 6-3：GPIO 输出功能描述 38
表 6-4：FIFO 相关寄存器列表 39
表 7-1：Direct 相关寄存器列表 41
表 7-2：Mode 相关寄存器列表 42
表 7-3：Preamble 配置相关寄存器列表 45
表 7-4：Sync 配置相关寄存器列表 45
表 7-5：相关寄存器 47
表 7-6：Length 相关的寄存器列表 50
表 7-7：Address 相关寄存器列表 55
表 7-8：M3_ADDR_SIZE 选择 56
表 7-9：seqnum 相关寄存器列表 56
表 7-10：CRC 相关寄存器列表 57
表 7-11：常用 CRC 标准和多项式列表 59
表 8-1：匹配参数表 62

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

1 系统概述

UM2002 是一款工作于 200 ~ 960MHz 范围内的低功耗、高性能、单片集成的 GFSK/FSK 无线接收机芯片。内部集成完整的射频接收机、频率综合器、解调器，只需配备简单、低成本的外围器件就可以获得良好的接收性能。

芯片支持灵活可设的数据包格式，支持数据直通模式，支持跳频操作，同时集成了 FEC 功能。外部 MCU 可通过 SPI 对芯片进行控制，并访问内部的 256 bytes 的 RX FIFO。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

2 功能框图

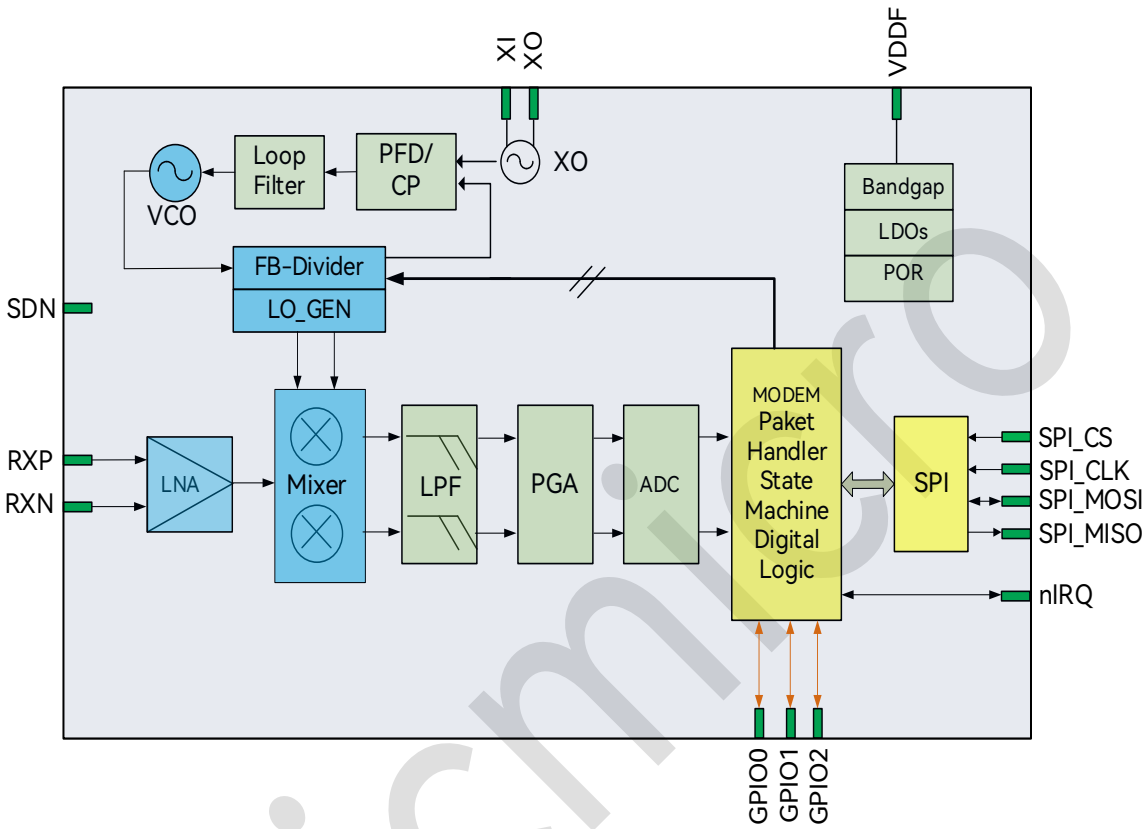


图 2-1：功能框图

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

3 封装及引脚描述

3.1 封装引脚分布

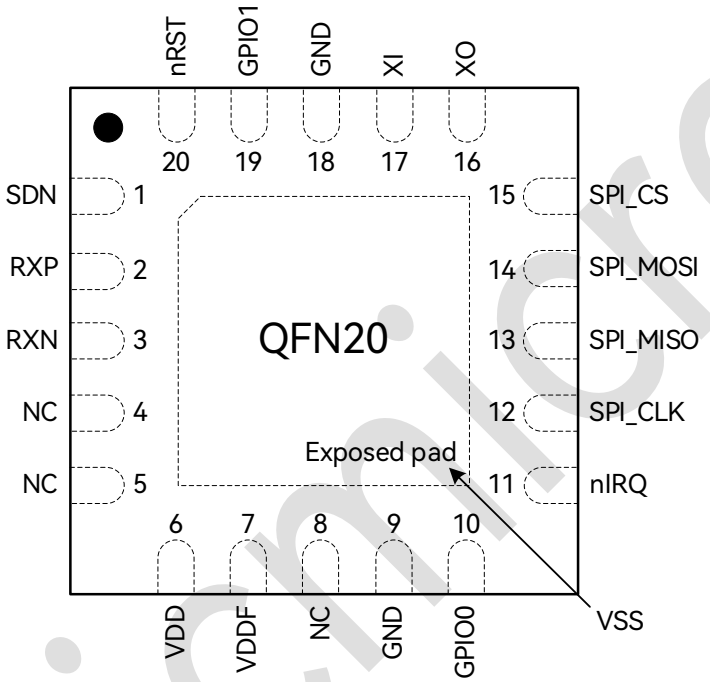


图 3-1：QFN20 封装引脚分布图

3.2 引脚功能描述

表 3-1：引脚功能说明

引脚编号	引脚名称	IO 类型	功能描述
0	E-PAD	G	芯片地（LF PAD）公共地
1	SDN	DI	芯片关断使能，SDN 高电平时芯片处于关断模式
2	RXP	RFI	射频正端输入
3	RXN	RFI	射频负端输入
4	NC	-	空脚，未连接任何内部电路
5	NC	-	空脚，未连接任何内部电路
6	VDD	P	1.8V~3.6V 电源输入
7	VDDF	P	LDO 供电电源

Copyright © 2026 广芯微电子（广州）股份有限公司

引脚编号	引脚名称	IO 类型	功能描述
8	NC	-	空脚，未连接任何内部电路
9	GND	G	芯片地
10	GPIO0	DIO	可配置 GPIO0
11	nIRQ	DIO	可配置 GPIO，默认为中断输出
12	SPI_CLK	DI	SPI 时钟
13	SPI_MISO	DO	SPI 数据输出
14	SPI_MOSI	DIO	SPI 数据输入（或三线制输入输出）
15	SPI_CS	DI	片选信号
16	XO	AO	晶振输出
17	XI	AI	晶振输入
18	GND	G	芯片地
19	GPIO1	DIO	可配置 GPIO1
20	nRST	DIO	可配置 GPIO2，默认为外部复位引脚

注：RF—射频信号；A—模拟信号；D—数字信号；I—Input（输入）；O—Output（输出）；G—Ground（地）；P—Power（电源）。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4 寄存器定义

4.1 Reg00 Address:0x00 Default:0x1D

位	名称	属性	复位值	描述
7	reserved	RW	1’b0	-
6:0	rf_f0[30:24]	RW	7’h1D	信道频率 f0[30:24]。 信道频率 rf_freq 设置公式： **rf_freq=rf_f0+ch_num*f_step** rf_f0 由{Reg00,Reg01,Reg02,Reg03}配置，单位为 MHz，低 20bit 为小数； ch_num 由 Reg04 配置； 步进频率 f_step 由{Reg05,Reg06,Reg07}配置，单位为 MHz，低 20bit 为小数

4.2 Reg01 Address:0x01 Default:0x78

位	名称	属性	复位值	描述
7:0	rf_f0[23:16]	RW	8’h78	信道频率 f0[23:16]

4.3 Reg02 Address:0x02 Default:0x00

位	名称	属性	复位值	描述
7:0	rf_f0[15:8]	RW	8’h00	信道频率 f0[15:8]

4.4 Reg03 Address:0x03 Default:0x00

位	名称	属性	复位值	描述
7:0	rf_f0[7:0]	RW	8’h00	信道频率 f0[7:0]

Unisemicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.5 Reg04 Address:0x04 Default:0x00

位	名称	属性	复位值	描述
7:0	ch_num	RW	8'h00	信道号 ch_num，参考 Reg00 描述

4.6 Reg05 Address:0x05 Default:0x03

位	名称	属性	复位值	描述
7:0	f_step[23:16]	RW	8'h03	信道步进频率 f_step[23:16]，单位为 MHz，低 20bit 为小数，参考 Reg00 描述

4.7 Reg06 Address:0x06 Default:0x33

位	名称	属性	复位值	描述
7:0	f_step[15:8]	RW	8'h33	信道步进频率 f_step[15:8]，参考 Reg00 描述

4.8 Reg07 Address:0x07 Default:0x33

位	名称	属性	复位值	描述
7:0	f_step[7:0]	RW	8'h33	信道步进频率 f_step[7:0]，参考 Reg00 描述

4.9 Reg08 Address:0x08 Default:0x10

位	名称	属性	复位值	描述
7	reserved	RW	1'b0	-
6:0	ref_freq[30:24]	RW	7'h10	参考频率（晶振频率）设置，ref_freq 由 {Reg08[6:0],Reg09,Reg0A,Reg0B}，单位为 MHz，低 24bit 为小数部分

Copyright © 2026 广芯微电子（广州）股份有限公司

4.10 Reg09 Address:0x09 Default:0x00

位	名称	属性	复位值	描述
7:0	ref_freq[23:16]	RW	8'h00	参考 Reg08 描述

4.11 Reg0A Address:0x0A Default:0x00

位	名称	属性	复位值	描述
7:0	ref_freq[15:8]	RW	8'h00	参考 Reg08 描述

4.12 Reg0B Address:0x0B Default:0x00

位	名称	属性	复位值	描述
7:0	ref_freq[7:0]	RW	8'h00	参考 Reg08 描述

4.13 Reg0D Address:0x0D Default:0x30

位	名称	属性	复位值	描述
7	payload_bit_order	RW	1'b0	Payload bit 顺序: 0：LSB 低位在前 1：MSB 高位在前
6	manchester_inv	RW	1'b0	曼彻斯特编码: 0：上升沿为编码 1，下降沿为编码 0 1：下降沿为编码 1，上升沿为编码 0
5	syncword_en	RW	1'b1	SyncWord 同步字使能: 0：Disable 1：Enable
4	reserved	RW	-	-
3:2	pkt_enc_type	RW	2'b00	数据包编码: 00：NRZ 01：曼彻斯特编码 10：无效 11：交织编码

Copyright © 2026 广芯微电子（广州）股份有限公司

位	名称	属性	复位值	描述
1:0	fec_type	RW	2’b00	数据包 FEC 类型: 00：NO FEC 01：1/3 FEC 10：2/3 FEC 11：1/2 FEC

4.14 Reg0E Address:0x0E Default:0x32

位	名称	属性	复位值	描述
7	length_byte_swap	RW	1’b0	包长度控制域为两个字节时，高低字节顺序: 0：低字节在前 1：高字节在前
6	length_sel	RW	1’b0	包长度控制域字节配置: 0：1 字节 1：2 字节
5	crc_en	RW	1’b1	CRC 使能: 0：Disable 1：Enable
4	scramble_en	RW	1’b1	数据白化（扰码）使能: 0：Disable 1：Enable
3	fifo_size_en	RW	1’b0	FIFO 大小设置: 0：RX FIFO 128 字节 1：RX FIFO 256 字节
2	reserved	RW	1’b0	-
1:0	packet_mode	RW	2’b10	数据包控制模式: 00：模式 0，循环接收数据并写入 RX FIFO 中，需要 MCU 写命令退出接收 01：模式 1，由寄存器控制数据包长度 10：模式 2，RX FIFO 中的第 1 个或 2 个字节作为包长度 11：模式 3，含有 length、address、seqnum 等多种数据域的模式

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.15 Reg10 Address:0x10 Default:0x40

位	名称	属性	复位值	描述
7:4	reserved	RW	4'h4	-
3	rssi_val_sel	RW	1'b0	读取 RSSI 时，选择读取的数据内容: 0：经过计算的 RSSI 值 1：原始信号幅度值
2	preamble_int_en	RW	1'b0	接收 Preamble（前导码）匹配中断使能: 0：Disable 1：Enable
1	syncword_int_en	RW	1'b0	接收 SyncWord（同步字）匹配中断使能: 0：Disable 1：Enable
0	reserved	RW	1'b0	-

4.16 Reg11 Address:0x11 Default:0x00

位	名称	属性	复位值	描述
7	reserved	RW	1'b0	-
6	int_flag_clr	RW	1'b0	写"1"清除中断标志
5	miso_tri_opt	RW	1'b0	spi 在非工作状态时，spi_miso 状态: 0：高阻 1：输出
4:3	reserved	RW	2'b00	-
2:0	brclk_sel	RW	3'b000	GPIO brclk 输出时钟选择: 000：rx_clk 接收 bit rate 时钟 001：xtal_clk 晶振时钟 010：xtal_clk/8 011：xtal_clk/16 100：频综时钟 111：ADC_clk

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.17 Reg20 Address:0x20 Default:0x50

位	名称	属性	复位值	描述
7:6	frequency_band	RW	2'b01	工作频段设置: 00：800MHz~1GHz 频段 01：400MHz~500MHz 频段 10：267MHz~350MHz 频段 11：200MHz~250MHz 频段
5:0	reserved	RW	3'h10	-

4.18 Reg28 Address:0x28 Default:0x19

位	名称	属性	复位值	描述
7	rssi_reg_clr	RW	1'b0	写"1"清除被锁定的 RSSI
6	rssi_sel	RW	1'b0	收到同步字后锁定 RSSI 值: 0：Disable 1：Enable
5	rx_rssi_thr_en	RW	1'b0	接收时判断 RSSI, 若收到前导码的 RSSI 低于设置的 RSSI 门限值（Reg2c），会复位解调器重新接收: 0：Disable 1：Enable
4	agc_en	RW	1'b1	AGC 使能: 0：Disable 1：Enable
3:0	reserved	RW	4'h9	-

4.19 Reg2B Address:0x2B Default:0xFF

位	名称	属性	复位值	描述
7:6	reserved	RW	2'b11	-
5:4	rxfe_gn	RW	2'b11	rxfe 增益控制
3:2	filter_gn	RW	2'b11	Filter 增益控制
1:0	pga_gn	RW	2'b11	PGA 增益控制

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.20 Reg2C Address:0x2C Default:0xFF

位	名称	属性	复位值	描述
7:0	rx_rssi_thr	RW	8’hFF	接收 RSSI 门限值，参考 Reg28[5]

4.21 Reg37 Address:0x37 Default:0x06

位	名称	属性	复位值	描述
7:0	csrst_len	RW	8’h06	在补偿功能使能时，找到信号的频谱后连续收到 Reg37*4 个前导后，则认为找到有效的 Preamble

4.22 Reg38 Address:0x38 Default:0x91

位	名称	属性	复位值	描述
7:5	reserved	RW	3’b100	-
4	demod_comp_en	RW	1’b1	解调频偏补偿: 0：Disable 1：Enable
3:0	reserved	RW	4’h1	-

4.23 Reg4D Address:0x4D Default:0x10

位	名称	属性	复位值	描述
7	nirq_dir	RW	1'b0	nIRQ_flag IO 口方向: 0：output 1：input
6	gpio_dir[0]	RW	1'b0	gpio[0]方向: 0：output 1：input
5	gpio_dir[1]	RW	1'b0	gpio[1]方向: 0：output 1：input

Copyright © 2026 广芯微电子（广州）股份有限公司

位	名称	属性	复位值	描述
4	gpio_dir[2]	RW	1'b1	gpio[2]方向，默认复位输入功能: 0：output 1：input
3:0	nirq_sel	RW	4'h0	nIRQ 引脚输出功能选择: 0x0：pkt_flag(包括数据包完成中断 pkt_int，接收前导码中断 preamble_int，接收同步字中断 SyncWord_int) 0x1：pkt_int 0x2：Preamble_int 0x3：SyncWord_int 0x4：fifo_flag 0x5：brclk（参考 Reg11[2:0]描述） 0x6：rxdata 0xA：rxdata 0xD：高电平 0xE：低电平

4.24 Reg4E Address:0x4E Default:0x45

位	名称	属性	复位值	描述
7:4	gpio_0_sel	RW	4'h4	gpio[0]输出功能选择，参考 Reg4D[3:0]描述
3:0	gpio_1_sel	RW	4'h5	gpio[1]输出功能选择，参考 Reg4D[3:0]描述

4.25 Reg4F Address:0x4F Default:0x67

位	名称	属性	复位值	描述
7:4	gpio_2_sel	RW	4'h6	gpio[2]输出功能选择，参考 Reg4D[3:0]描述
3:0	reserved	RW	4'h7	-

4.26 Reg50 Address:0x50 Default:0x00

位	名称	属性	复位值	描述
7:0	rx_fifo_wr_ptr	RW	8'h00	RX FIFO 写指针，写 0x80 清除指针

Unsmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.27 Reg51 Address:0x51 Default:0x00

位	名称	属性	复位值	描述
7:0	rx_fifo_rd_ptr	RW	8'h00	RX FIFO 读指针，写 0x80 清除指针

4.28 Reg52 Address:0x52 Default:0x00

位	名称	属性	复位值	描述
7:0	rx_fifo_data	RW	8'h00	RX FIFO

4.29 Reg56 Address:0x56 Default:0xB7

位	名称	属性	复位值	描述
7:0	delta_rssi	RW	8'hB7	计算 RSSI 时的预偏移量

4.30 Reg57 Address:0x57 Default:0x00

位	名称	属性	复位值	描述
7:3	reserved	RW	5'h00	-
2	spi_3w_sel	RW	1'b0	三线 SPI 选择: 0：4 线标准 SPI 1：3 线 SPI，数据线只使用 SPI_MOSI
1	crc_err_st	RW	1'b0	接收 CRC 错误时，数据包的处理方法: 0：正常完成该包的接收，退出接收状态发出数据包中断和错误 CRC 标志 1：丢弃该包数据并重新进入接收状态
0	reserved	RW	1'b0	-

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.31 Reg5D Address:0x5D Default:0x00

位	名称	属性	复位值	描述
7	nrst_sel	RW	1'b0	nRST 引脚功能设置: 0：nRST 1：GPIO2
6	pull_up_en	RW	1'b0	nRST 引脚 Pull-up 使能: 0：Enable 1：Disable
5:0	reserved	RW	5'h00	-

4.32 Reg60 Address:0x60 Default:0x80

位	名称	属性	复位值	描述
7:0	command	RW	8'h80	0x80：IDLE command 0x20：RX command 0x05：StandBy command 0x06：Reset command，需要先使能 RegA3[7] 0x10：FS command 打开频综

4.33 Reg61 Address:0x61 Default:0x00

位	名称	属性	复位值	描述
7	syncword_rec	R	1'b0	接收到正确的 SyncWord
6	preamble_rec	R	1'b0	接收到有效的 preamble
5	crc_error	R	1'b0	高电平时表示 CRC 校验错误
4	pkt_flag	R	1'b0	-
3	fifo_flag	R	1'b0	-
2:0	reserved	R	3'b000	-

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.34 Reg64 Address:0x64 Default:0x00

位	名称	属性	复位值	描述
7:0	rssi	R	8'h00	读取的值为实际 RSSI 的绝对值

4.35 Reg67 Address:0x67 Default:0x80

位	名称	属性	复位值	描述
7	st_idle	R	1'b1	IDLE 状态
6	reserved	R	1'b0	-
5	st_rx	R	1'b0	接收状态
4	st_fson	R	1'b0	频综开启状态
3:0	reserved	R	4'h0	-

4.36 Reg68 Address:0x68 Default:0x00

位	名称	属性	复位值	描述
7:2	reserved	R	6'h0	-
1	m3_seqnum_ok	R	1'b0	数据包模式 3 时，接收 seqnum 匹配正确
0	m3_addr_comp_ok	R	1'b0	数据包模式 3 时，接收 address 匹配正确

4.37 Reg69 Address:0x69 Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_fcs2_value	R	8'h00	数据包模式 3 时，接收 FCS2 数据

4.38 Reg6A Address:0x6A Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_payload_len[7:0]	R	8'h00	数据包模式 3 时，接收 length 数据

Copyright © 2026 广芯微电子（广州）股份有限公司

4.39 Reg6B Address:0x6B Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_payload_len[15:8]	R	8'h00	数据包模式 3 时，接收 length 数据

4.40 Reg6C Address:0x6C Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_addr[7:0]	R	8'h00	数据包模式 3 时，接收 address

4.41 Reg6D Address:0x6D Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_addr[15:8]	R	8'h00	数据包模式 3 时，接收 address

4.42 Reg6E Address:0x6E Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_addr[23:16]	R	8'h00	数据包模式 3 时，接收 address

4.43 Reg6F Address:0x6F Default:0x00

位	名称	属性	复位值	描述
7:0	m3_rx_addr[31:24]	R	8'h00	数据包模式 3 时，接收地址域数据

4.44 Reg70 Address:0x70 Default:0xFF

位	名称	属性	复位值	描述
7:0	scramble_init_val[7:0]	RW	8'hFF	scramble 初始化值

Copyright © 2026 广芯微电子（广州）股份有限公司

4.45 Reg71 Address:0x71 Default:0x09

位	名称	属性	复位值	描述
7	reserved	RW	1'b0	-
6	scramble_len	RW	1'b0	伪随机数长度选择: 0：PN9 1：PN7
5	scramble_msb	RW	1'b0	选择首先输出的移位寄存器: 0：LSB 1：MSB
4	scramble_type	RW	1'b0	伪随机数产生器类型: 0：抽出模式 1：插入模式
3:1	scramble_poly	RW	3'b100	反馈抽头选择
0	scramble_init_val[8]	RW	1'b1	scramble 初始化值最高位

4.46 Reg72 Address:0x72 Default:0x01

位	名称	属性	复位值	描述
7:5	reserved	RW	3'b000	-
4:0	sync_thres	RW	5'h01	同步字检测允许的错误位数

4.47 Reg74 Address:0x74 Default:0x03

位	名称	属性	复位值	描述
7:6	reserved	RW	2'b00	-
5	cont_rx_en	RW	1'b0	控制接收状态机: 0：接收完成数据包后退出接收状态进入 IDLE 状态 1：接收完成数据包后重新再次进入接收状态
4	sync_man_en	RW	1'b0	同步字曼彻斯特编码使能: 0：Disable 1：Enable

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

位	名称	属性	复位值	描述
3	sync_bit_order	RW	1'b0	同步字 bit 顺序: 0：LSB 1：MSB
2:0	sync_len	RW	3'b011	同步字长度: 000：{sync_id_1} 001：{sync_id_1, sync_id_2} 010：{sync_id_1, sync_id_2, sync_id_3} 011：{sync_id_1, sync_id_2, sync_id_3, sync_id_4} 100：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5} 101：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6} 110：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6, sync_id_7} 111：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6, sync_id_7, sync_id_8}

4.48 Reg75 Address:0x75 Default:0xA7

位	名称	属性	复位值	描述
7:0	sync_id_1	RW	8'hA7	同步字字节 1

4.49 Reg76 Address:0x76 Default:0xA7

位	名称	属性	复位值	描述
7:0	sync_id_2	RW	8'hA7	同步字字节 2

4.50 Reg77 Address:0x77 Default:0x98

位	名称	属性	复位值	描述
7:0	sync_id_3	RW	8'h98	同步字字节 3

Unisemicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.51 Reg78 Address:0x78 Default:0xF3

位	名称	属性	复位值	描述
7:0	sync_id_4	RW	8'hF3	同步字字节 4

4.52 Reg79 Address:0x79 Default:0x98

位	名称	属性	复位值	描述
7:0	sync_id_5	RW	8'h98	同步字字节 5

4.53 Reg7A Address:0x7A Default:0xF3

位	名称	属性	复位值	描述
7:0	sync_id_6	RW	8'hF3	同步字字节 6

4.54 Reg7B Address:0x7B Default:0x98

位	名称	属性	复位值	描述
7:0	sync_id_7	RW	8'h98	同步字字节 7

4.55 Reg7C Address:0x7C Default:0xF3

位	名称	属性	复位值	描述
7:0	sync_id_8	RW	8'hF3	同步字字节 8

4.56 Reg7D Address:0x7D Default:0x0E

位	名称	属性	复位值	描述
7:0	payload_len[7:0]	RW	8'h0E	payload长度，在数据包模式1和数据包模式3有效

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.57 Reg7E Address:0x7E Default:0x00

位	名称	属性	复位值	描述
7:0	payload_len[15:8]	RW	8'h00	payload长度，在数据包模式1和数据包模式3有效

4.58 Reg7F Address:0x7F Default:0x00

位	名称	属性	复位值	描述
7:1	reserved	RW	7'h0	-
0	page_sel	RW	1'b0	寄存器页地址： 0：Reg00~Reg7E 1：Reg80~RegFE

4.59 Reg80 Address:0x80 Default:0x1D

位	名称	属性	复位值	描述
7:6	reserved	RW	2'b00	-
5	m3_length_en	RW	1'b0	数据包模式 3 时，数据长度域控制： 0：Disable 1：Enable
4	m3_crc_sel	RW	1'b1	数据包模式 3 时，CRC 的校验范围： 0：All payload 1：仅 FIFO 中的数据
3:0	reserved	RW	4'hD	-

4.60 Reg81 Address:0x81 Default:0x78

位	名称	属性	复位值	描述
7:6	reserved	RW	2'b01	-
5:4	m3_addr_size	RW	2'b11	数据包模式 3 时，地址长度： 00：1 字节 01：2 字节 10：3 字节 11：4 字节

Copyright © 2026 广芯微电子（广州）股份有限公司

位	名称	属性	复位值	描述
3:2	reserved	RW	2'b10	-
1	m3_addr_pos_sel	RW	1'b0	数据包模式 3 时，地址位置选择: 0：address 放在 length 之后 1：address 放在 length 之前
0	m3_addr_en	RW	1'b0	数据包模式 3 时，地址域控制: 0：Disable 1：Enable

4.61 Reg82 Address:0x82 Default:0x00

位	名称	属性	复位值	描述
7:0	m3_addr_val[7:0]	RW	8'h00	数据包模式 3 时，地址值

4.62 Reg83 Address:0x83 Default:0x00

位	名称	属性	复位值	描述
7:0	m3_addr_val[15:8]	RW	8'h00	数据包模式 3 时，地址值

4.63 Reg84 Address:0x84 Default:0x00

位	名称	属性	复位值	描述
7:0	m3_addr_val[23:16]	RW	8'h00	数据包模式 3 时，地址值

4.64 Reg85 Address:0x85 Default:0x03

位	名称	属性	复位值	描述
7:0	m3_addr_val[31:24]	RW	8'h03	数据包模式 3 时，地址值

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.65 Reg86 Address:0x86 Default:0x33

位	名称	属性	复位值	描述
7:0	m3_addr_bit_mask[7:0]	RW	8'h33	数据包模式 3 时，地址过滤，mask 为“1”时对应地址位不作比较

4.66 Reg87 Address:0x87 Default:0x33

位	名称	属性	复位值	描述
7:0	m3_addr_bit_mask[15:8]	RW	8'h33	数据包模式 3 时，地址过滤，mask 为“1”时对应地址位不作比较

4.67 Reg88 Address:0x88 Default:0x10

位	名称	属性	复位值	描述
7:0	m3_addr_bit_mask[23:16]	RW	8'h10	数据包模式 3 时，地址过滤，mask 为“1”时对应地址位不作比较

4.68 Reg89 Address:0x89 Default:0x00

位	名称	属性	复位值	描述
7:0	m3_addr_bit_mask[31:24]	RW	8'h00	数据包模式 3 时，地址过滤，mask 为“1”时对应地址位不作比较

4.69 Reg8A Address:0x8A Default:0x00

位	名称	属性	复位值	描述
7:5	reserved	RW	3'b000	-
4	m3_seqnum_en	RW	1'b0	数据包模式 3 时，seqnum 数据使能: 0：Disable 1：Enable

Copyright © 2026 广芯微电子（广州）股份有限公司

位	名称	属性	复位值	描述
3	m3_seqnum_bit_size	RW	1'b0	数据包模式 3 时，seqnum 数据长度: 0：8bit 1：16bit
2:0	reserved	RW	3'b000	-

4.70 Reg8D Address:0x8D Default:0x30

位	名称	属性	复位值	描述
7:1	reserved	RW	7'h30	-
0	m3_fcs2_en	RW	1'b0	数据包模式 3 时，FCS2 数据域使能: 0：Disable 1：Enable

4.71 Reg94 Address:0x94 Default:0x08

位	名称	属性	复位值	描述
7:5	reserved	RW	3'b000	-
4	crc_bit_order	RW	1'b0	CRC bit 顺序: 0：LSB 1：MSB
3	crc_inv	RW	1'b1	CRC bit 取反: 0：Disable 1：Enable
2	crc_man_en	RW	1'b0	CRC 曼彻斯特编码使能: 0：Disable 1：Enable
1:0	crc_len	RW	2'b00	CRC 长度: 00：8 位 01：16 位 10：24 位 11：32 位

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.72 Reg95 Address:0x95 Default:0x20

位	名称	属性	复位值	描述
7:0	crc_poly[7:0]	RW	8'h20	CRC 多项式配置

4.73 Reg96 Address:0x96 Default:0x26

位	名称	属性	复位值	描述
7:0	crc_poly[15:8]	RW	8'h26	CRC 多项式配置

4.74 Reg97 Address:0x97 Default:0x1F

位	名称	属性	复位值	描述
7:0	crc_poly[23:16]	RW	8'h1F	CRC 多项式配置

4.75 Reg98 Address:0x98 Default:0x68

位	名称	属性	复位值	描述
7:0	crc_poly[31:24]	RW	8'h68	CRC 多项式配置

4.76 Reg99 Address:0x99 Default:0x04

位	名称	属性	复位值	描述
7:0	crc_init_val[7:0]	RW	8'h04	CRC 移位寄存器初始化值

4.77 Reg9A Address:0x9A Default:0xAE

位	名称	属性	复位值	描述
7:0	crc_init_val[15:8]	RW	8'hAE	CRC 移位寄存器初始化值

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

4.78 Reg9B Address:0x9B Default:0x89

位	名称	属性	复位值	描述
7:0	crc_init_val[23:16]	RW	8'h89	CRC 移位寄存器初始化值

4.79 Reg9C Address:0x9C Default:0x84

位	名称	属性	复位值	描述
7:0	crc_init_val[31:24]	RW	8'h84	CRC 移位寄存器初始化值

4.80 RegA0 Address:0xA0 Default:0x50

位	名称	属性	复位值	描述
7	crc_infifo_en	RW	1'b0	接收的 CRC 值是否需要写入 RX FIFO: 0：Disable 1：Enable
6	reserved	RW	1'b1	-
5:0	fifo_full_thr	RW	6'h10	RX FIFO 满门限，当 RX FIFO 剩余空间低于门限值时 fifo_flag 置"1"

4.81 RegA3 Address:0xA3 Default:0x42

位	名称	属性	复位值	描述
7	srst_cmd_enable	RW	1'b0	Reset Command 使能: 0：Disable 1：Enable
6:0	reserved	RW	7'h42	-

4.82 RegE0 Address:0xE0 Default:0x80

位	名称	属性	复位值	描述
7:0	rx_seqnum_val[7:0]	R	8'h80	数据包模式 3 时，接收 seqnum 数据

Copyright © 2026 广芯微电子（广州）股份有限公司

4.83 RegE1 Address:0xE1 Default:0x00

位	名称	属性	复位值	描述
7:0	rx_seqnum_val[15:8]	R	8'h00	数据包模式 3 时，接收 seqnum 数据

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

5 功能描述

该芯片是一款高集成度的 sub-GHz 无线接收机，支持 2-(G)FSK 解调方式，支持 Direct 和 Packet 数据处理模式，支持标准四线 SPI 和自定义三线 SPI 接口。

5.1 接收机

该芯片内部集成了低功耗、高性能的低中频架构接收机。天线接收到的射频信号经过低噪声放大器放大之后，由正交混频器下变频至中频。I/Q 两路中频信号进一步通过低通滤波器（LPF）、可编程放大器（PGA）放大到合适的幅度，然后由 ADC 转换到数字域。

接收到的信号在数字域完成镜像抑制、中频滤波、基带滤波和(G)FSK 解调。解调后的数据在直通模式下可以通过 GPIO 管脚直接输出，也可以在包模式下通过 SPI 从内部 FIFO 中读取。

芯片的接收通路集成了 AGC 功能，Mixer、LPF、PGA 的增益受 AGC 环路调节。AGC 的环路控制在数字域完成，通过设定合理的 AGC 控制参数，芯片接收机的灵敏度、选择性和线性度可以达到最佳的性能。

5.2 频率综合器

该芯片内部集成了高精度的 Sigma-Delta 小数分频频率综合器，在 200 ~ 960MHz 范围内精准的频率。工作频率可通过两种方式进行设置：

1. 寄存器直接设置：在这种方式下，把所需的载波频率值直接写入相应的寄存器即可。
2. 查表方式：在这种方式下，可以按照以下公式进行频率设置。

$$F_c = F_0 + N * F_{step}$$

其中，F_0、N 和 F_{step} 都可通过寄存器进行设置。

- F_0 由{Reg00[6:0],Reg01,Reg02,Reg03}共 31bits 设置，高 11 位表示整数，低 20 位表示小数，单位为 MHz

Copyright © 2026 广芯微电子（广州）股份有限公司

- N 为整数由 Reg04 设置
- F_{step} 由{Reg05,Reg06,Reg07}设置，低 20bits 为小数，单位为 MHz

表 5-1：频率综合器相关寄存器

寄存器地址	位	属性	名称	描述
0x00	6:0	RW	rf_f0[30:24]	信道频率 f0[30:24]。 信道频率 rf_freq 设置公式： **rf_freq=rf_f0+ch_num*f_step** rf_f0 由{Reg00,Reg01,Reg02,Reg03}配置，单位为 MHz，低 20bit 为小数； ch_num 由 Reg04 配置； 步进频率 f_step 由{Reg05,Reg06,Reg07}配置，单位为 MHz，低 20bit 为小数
0x01	7:0	RW	rf_f0[23:16]	信道频率 f0[23:16]
0x02	7:0	RW	rf_f0[15:8]	信道频率 f0[15:8]
0x03	7:0	RW	rf_f0[7:0]	信道频率 f0[7:0]
0x04	7:0	RW	ch_num	信道号 ch_num，参考 Reg00 描述
0x05	7:0	RW	f_step[23:16]	信道步进频率 f_step[23:16]，单位为 MHz，低 20bit 为小数，参考 Reg00 描述
0x06	7:0	RW	f_step[15:8]	信道步进频率 f_step[15:8]，参考 Reg00 描述
0x07	7:0	RW	f_step[7:0]	信道步进频率 f_step[7:0]，参考 Reg00 描述

注：单次校准之后，若芯片的工作温度发生大幅度变化，VCO 需要重新校准（重新进入 RX 即可）。

5.3 RSSI

芯片内部集成的输入信号强度指示（RSSI）功能可以对天线端接收到的信号强度进行评估。RSSI 检测必须在 RX 状态下进行，检测到的是信道内的信号强度。

UM2002 内置信号检测模块，用于接收数据包时测量 ADC 的数据信号强度 RSSI_RAW，在 AGC（自动增益控制）使能时，使用 RSSI_RAW 值对接收链路增益自动调节，同时可自动计算出 RF 输入端的 RSSI（信号强度指示）值。也可以使用 RSSI_RAW 值手动调节（AGC 关闭）接收链路增益，并根据增益值自行计算 RSSI。RSSI_RAW 值或自动计算的 RSSI 值可以从寄存器 Reg64 读取。

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

表 5-2：RSSI 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x10	3	RW	rssi_val_sel	读取 RSSI 时，选择读取的数据内容: 0：经过计算的 RSSI 值 1：原始信号幅度值
0x28	6	RW	rssi_sel	收到同步字后锁定 RSSI 值: 0：Disable 1：Enable
	5	RW	rx_rssi_thr_en	接收时判断 RSSI，若收到前导码的 RSSI 低于设置的 RSSI 门限值（Reg2c），会复位解调器重新接收 0：Disable 1：Enable
	4	RW	agc_en	AGC 使能: 0：Disable 1：Enable
0x2B	5:0	RW	rx_gain	每个 step 为 6dB，AGC 使能时该寄存器只读
0x2C	7:0	RW	rx_rssi_thr	接收 RSSI 门限值，参考 Reg28[5]
0x56	7:0	RW	delta_rssi	计算 RSSI 时的预偏移量
0x64	7:0	R	rssi	读取的值为实际 RSSI 的绝对值

5.3.1 自动计算 RSSI

寄存器优化值设置:

- Reg10[3] = 0
- Reg28[4] = 1
- Reg56 = 0xB7

在进入接收状态后，可以读取 Reg64 寄存器的值 rssi_value[7:0]，每个 bit 对应 0.5dBm，且是真实信号 RSSI 的绝对值。

例如，读取 Reg64 = 0x65，则 RSSI= -(rssi_value/2) = -50.5dBm。

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

如图 5-1所示，F_{RF} = 433MHz，DR = 10kbps，F_{DEV} = 22kHz实测的RSSI值对应的输入功率。从图上看[-120dBm,-35dBm]的线性区间内，输入功率值与读取的RSSI值有很好的对应关系，若在某些频段或速率在线性区间内读取的值与输入功率值有固定差值，可写寄存器Reg56去微调偏移量。

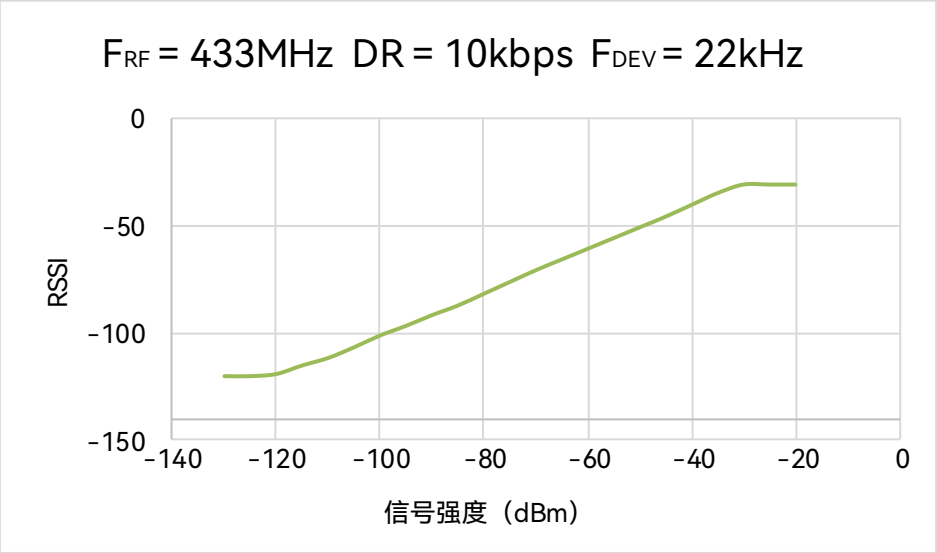


图 5-1：RSSI 线性图

UM2002 在整个接收数据包期间，RSSI 值实时更新到寄存器 Reg64，当退出接收状态 Reg64 值也恢复到 0；若设置寄存器 Reg28[6]=1，则收到同步字后寄存器 Reg64 值锁定，RSSI 值不再更新，直到下次重新进入接收时 RSSI 才被更新。

5.3.2 RSSI 自动过滤功能

RSSI 自动过滤功能，即设置 RSSI 门限值，在解调器接收到前导信号时，会判断 RSSI 值，如接收到的信号强度低于设置的门限，则解调器自动复位，丢弃该信号重新进入接收状态。

若设置信号强度低于-96dBm 时，丢弃该包数据，则进入接收之前设置：

- Reg28[5] = 1
- Reg2C[7:0] = 0xC0

Copyright © 2026 广芯微电子（广州）股份有限公司

5.4 系统复位

该芯片内部集成了上电复位（POR）、外部复位和软件复位。上电默认状态下，GPIO2 默认为外部复位信号（nRST）输入，只要 nRST 拉低就可以完成对芯片的复位。此外，还可通过 SPI 写命令的方式对芯片进行复位操作。芯片一旦复位，内部所有配置都恢复到上电默认状态，MCU 需要对芯片重新进入初始化操作。

5.4.1 上电复位 POR

上电复位电路检测电源电压变化，当电压压降出现较大变化时，上电复位电路会产生复位信号来复位芯片系统，当 POR 复位信号出现过后，芯片内部所有参数恢复到原始状态，需要 MCU 重新对芯片进行初始化配置。

芯片触发 POR 产生复位信号条件有两种：

1. 短暂电源突变导致 POR 产生复位信号，触发条件是当 VDD 在 200ms 以内骤降大于 0.9V 时，POR 会产生复位信号，如图 5-2 所示。

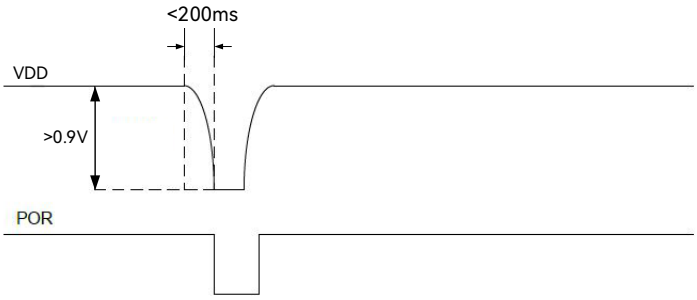


图 5-2：复位信号图-电源突变

2. 缓慢的电源电压下降导致 POR 产生复位信号，触发条件是 VDD 在大于 200ms 下降到 1.4V 以下时，POR 会产生复位信号，如图 5-3 所示。

Copyright © 2026 广芯微电子（广州）股份有限公司

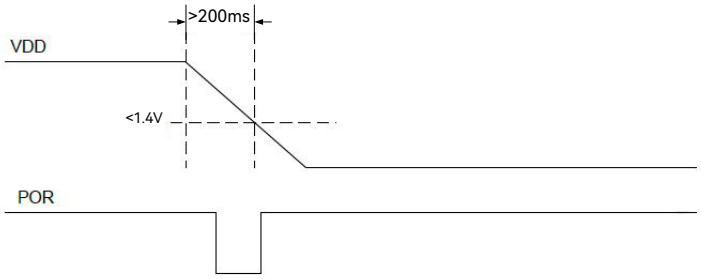


图 5-3：复位信号图-电源电压下降

5.4.2 外部复位 nRST

芯片支持外部复位，上电默认状态GPIO2配置为复位（nRST）功能，通过拉低nRST可复位芯片。

表 5-3：外部复位相关寄存器

寄存器地址	位	属性	名称	描述
0x4D	4	RW	gpio_dir[2]	gpio[2]方向，默认复位输入功能： 0：output 1：input
0x5D	7	RW	nrst_sel	nRST 引脚功能设置： 0：nRST 1：GPIO2
	6	RW	pull_up_en	nRST 引脚 Pull-up 使能： 0：Enable 1：Disable

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

5.4.3 软件复位

软件复位是通过写寄存器复位芯片，需先使能复位命令，再写入复位命令才能有效复位芯片。

表 5-4：软件复位相关寄存器

寄存器地址	位	属性	名称	描述
0x60	7:0	RW	command	0x80：IDLE command 0x20：RX command 0x05：StandBy command 0x06：Reset command，需要先使能 RegA3[7] 0x10：FS command 打开频综
0xA3	7	RW	srst_cmd_enable	Reset Command 使能: 0：Disable 1：Enable

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

6 芯片运行

6.1 SPI 接口

芯片内置 SPI 从机模块,通过标准 4 线 SPI 接口与主机 MCU 通信。信号包含 SPI_CS、SPI_CLK、SPI_MOSI、SPI_MISO，SPI 最高工作频率为 16MHz。SPI 接口模式的时钟极性为正，在时钟下降沿采样数据，在时钟上升沿输出数据（CPOL=0，CPHA=1），地址和数据部分都是从 MSB 开始传送。

芯片内部资源统一通过 SPI 寄存器读写访问，首字节为寄存器地址，紧随一个字节的寄存器数据。若访问 FIFO 对应地址，可在单次 SPI_CS 拉低期间按字节方式连续访问，SPI 接口控制器自动递增访问地址；访问 FIFO 数据时，地址与数据之间至少间隔 3 个芯片系统时钟，供芯片完成 FIFO 指针定位。

无晶振时钟供给时，SPI接口不支持写操作，但仍可读取寄存器数据。访问寄存器时，需先拉低SPI_CS。帧结构首位为读写控制位（RW），紧随其后为7位寄存器地址：RW=0为写操作，RW=1为读操作。

SPI 默认为 4 线模式，上电后支持配置为 3 线模式。在 SPI 的 3 线模式中，SPI_MOSI 同时用于数据输入和输出，在读取寄存器数据时，接口会在地址和数据之间对 SPI_MOSI 的方向进行切换。

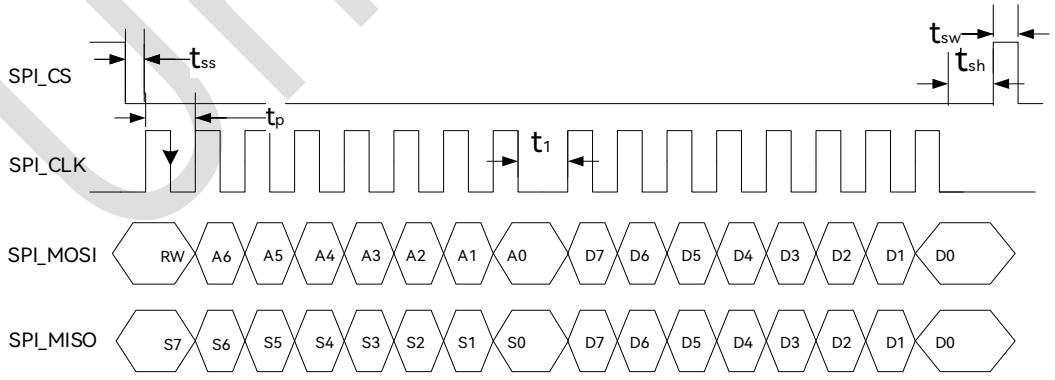


图 6-1：SPI 读写寄存器时序图

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

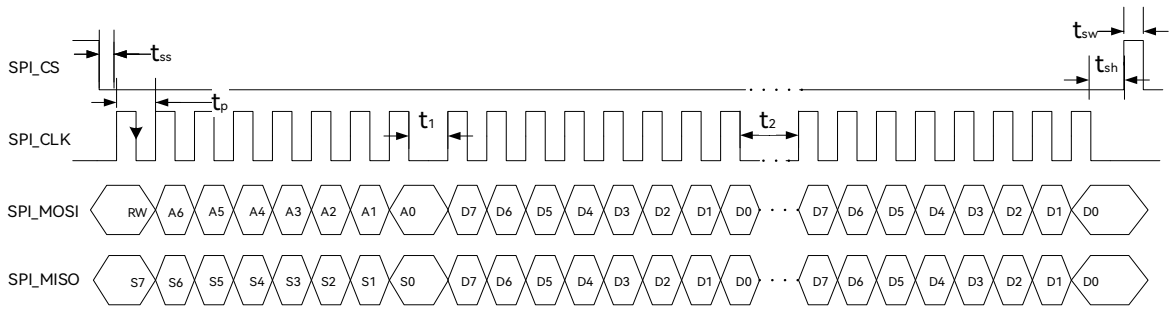


图 6-2：SPI 读写 FIFO 时序图

表 6-1：SPI 时序参数

Name	Min	Description
t_{sw}	100ns	两次 SPI 访问的间隔时间
t_{ss}	32ns	SPI_CS 和 SPI_CLK 的间隔时间
t_{sh}	32ns	SPI_CS 和 SPI_CLK 的间隔时间
t_1	32ns	地址和数据间隔时间
t_2	32ns	两个寄存器数据的时间间隔
t_p	64ns	SPI_CLK 时钟周期

6.2 启动时序与状态机

芯片上电稳定或退出全局关断（SDN 拉低）后，至少需要 0.5ms 的时间，POR 才会释放。POR 释放后，芯片进入 IDLE 状态，且开始启动相关电源和晶体，启动稳定时间约为 4ms（与晶体的特性相关），稳定之后芯片停留在 IDLE 状态，这时可以写 SPI 指令进入任何状态。

芯片一共有 5 种状态：SHUTDOWN、STANDBY、IDLE、FSON、RX，状态切换如图 6-3 所示。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

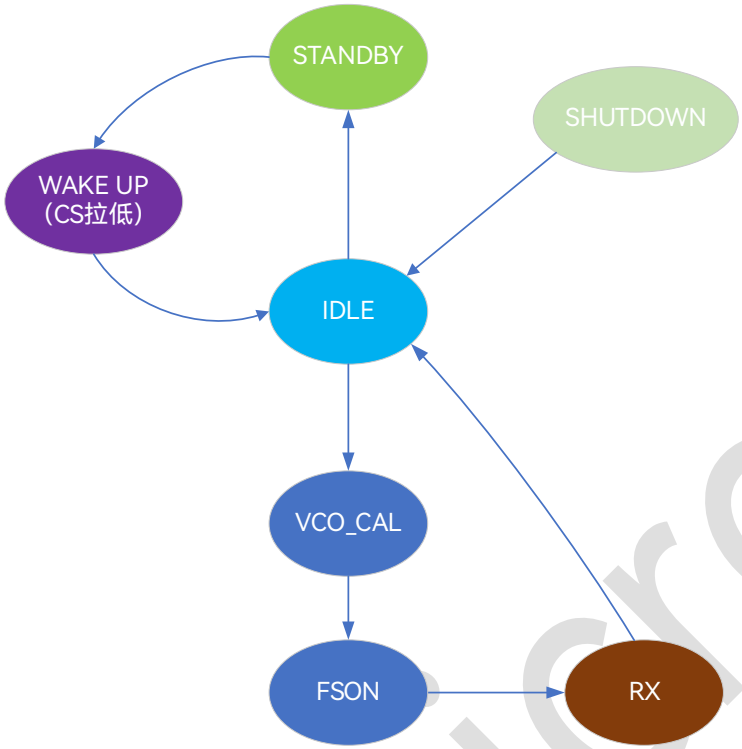


图 6-3：状态机控制图

1. 关断状态（SHUTDOWN）

   SDN管脚拉高后，芯片进入关断状态，内部全部电路模块关闭，消耗电流小于10nA。

2. IDLE 状态

   上电复位或发送IDLE命令后，芯片进入IDLE状态。在该状态下，晶体振荡器开启，等待SPI接口命令再执行其他动作。

3. STANDBY 状态

   通过SPI写命令进入STANDBY状态后，芯片的数字供电开启，全部数字电路正常供电，其余模块关闭，寄存器数值可保持。将SPI_CS拉低后，芯片退出STANDBY状态，进入IDLE状态。

4. 频综打开状态（FSON）

   频综打开后保持当前状态，在该状态下，芯片收到RX命令时，将立刻进入RX状态。

5. 接收状态（RX）

   若芯片处于FSON状态，收到RX命令后将直接进入RX状态。若芯片处于IDLE状态，则先开启PLL，完成VCO校准，再依次启动接收电路（LNA、Mixer、PGA、ADC）与数字解调器。当芯片收到数据包后，将输出nIRQ中断指示信号，随后退回IDLE状态。

Copyright © 2026 广芯微电子（广州）股份有限公司

6.3 GPIO 和中断

UM2002 提供 4 个 GPIO，包含 nIRQ 和 GPIO[2:0]，每个 GPIO 都可配置成不同的输入或输出。芯片可产生两种中断信号，pkt_flag 和 fifo_flag，两个中断信号标志位都支持可读。pkt_flag 支持 3 种功能：前导匹配、同步字匹配和接收包完成。fifo_flag 在接收模式时表示 FIFO full。

nIRQ 和 GPIO[2:0]为双向口，GPIO[2]默认为输入口，用作 nRST，拉低时可复位整个数字部分。

表 6-2：GPIO 配置相关寄存器列表

寄存器地址	位数	属性	比特名	功能说明
0x4D	7	RW	nirq_dir	nIRQ IO 口方向： 0：output 1：input
	6	RW	gpio_dir[0]	gpio[0]方向： 0：output 1：input
	5	RW	gpio_dir[1]	gpio[1]方向： 0：output 1：input
	4	RW	gpio_dir[2]	gpio[2]方向，默认复位输入功能： 0：output 1：input
	3:0	RW	nirq_sel	nIRQ 引脚输出功能选择： 0x0：pkt_flag（包括数据包完成中断 pkt_int，接收前导码中断 Preamble_int，接收同步字中断 SyncWord_int） 0x1：pkt_int 0x2：Preamble_int 0x3：SyncWord_int 0x4：fifo_flag 0x5：brclk（参考 Reg11[2:0]描述） 0x6：rxdata 0xD：高电平 0xE：低电平
0x4E	7:4	RW	gpio_0_sel	gpio[0]输出功能选择，参考 Reg4D[3:0]描述
	3:0	RW	gpio_1_sel	gpio[1]输出功能选择，参考 Reg4D[3:0]描述
0x4F	7:4	RW	gpio_2_sel	gpio[2]输出功能选择，参考 Reg4D[3:0]描述

Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位数	属性	比特名	功能说明
0x11	2:0	RW	brclk_sel	GPIO brclk 输出时钟选择: 000：rx_clk 接收 bit rate 时钟 001：xtal_clk 晶振时钟 010：xtal_clk/8 011：xtal_clk/16 100：频综时钟 111：ADC_clk

6.3.1 中断的配置和映射

GPIO 输出功能描述如表 6-3 所示。

表 6-3：GPIO 输出功能描述

寄存器地址	名称	描述
0x0	pkt_flag	pkt_flag（包括数据包完成中断 pkt_int，接收前导码中断 Preamble_int，接收同步字中断 SyncWord_int）
0x1	pkt_int	包完成中断，接收完成
0x2	preamble_int	接收 Preamble 有效中断
0x3	syncword_int	接收 SyncWord 有效中断
0x4	fifo_flag	RX FIFO 快满中断
0x5	brclk	测试时钟输出，由 Reg11[2:0]设置。 Reg11[2:0]: 000：rx_clk 接收 bit rate 时钟 001：xtal_clk 晶振时钟 010：xtal_clk/8 011：xtal_clk/16 100：频综时钟 111：ADC_clk
0x6	rxdata	解调器输出的串行数据
0xA	rxdata	解调器输出的串行数据
0xD	Hi_l	高电平
0xE	Lo_l	低电平

Unicmro

Copyright © 2026 广芯微电子（广州）股份有限公司

6.4 FIFO 缓冲区

芯片内置 256 字节的 FIFO，可以通过寄存器 Reg0E[3]设置 FIFO 的使用大小。在读取一帧接收 FIFO 数据时，应对接收 FIFO 读指针进行清零。接收写指针芯片内部会自动清零。

表 6-4：FIFO 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x50	7:0	RW	rx_fifo_wr_ptr	RX FIFO 写指针，写 0x80 清除指针
0x51	7:0	RW	rx_fifo_rd_ptr	RX FIFO 读指针，写 0x80 清除指针
0x52	7:0	RW	rx_fifo_data	RX FIFO
0x0E	3	RW	fifo_size_en	FIFO 大小设置: 0：RX FIFO 128 字节 1：RX FIFO 256 字节
0xA0	5:0	RW	fifo_full_thr	RX FIFO 满门限，RX FIFO 数据高于门限值时 fifo_flag 置“1”

6.4.1 FIFO 的工作模式

芯片的 RX FIFO 默认使用 128-byte。用户可将 fifo_size_en 配置为 1，使 RX FIFO 切换至 256-byte 的 FIFO。

6.4.2 FIFO 的中断时序

对于 RX，设置 fifo_full_thr 为将满阈值，当接收 FIFO 的剩余空间低于此门限值，fifo_flag 触发中断。

6.4.3 FIFO 的应用场景

1. 在 RX 下接收数据

初始化寄存器优化值、数据率及数据包的配置，并写 Reg60 = 0x20 进入接收，等 MCU 收到 nIRQ 中断后，执行如下操作。

Copyright © 2026 广芯微电子（广州）股份有限公司

A. 读 Reg61 寄存器。

B. 判断 Reg61[7:4]是否为 0xD，若正确表示收到一包数据。

C. 清 RX FIFO 读指针，Reg51 = 0x80。

D. 读 RX FIFO 数据 Read Reg(0x52)。

E. 读 RSSI（Reg0x64）：根据需要可读取该包的 RSSI 值。

F. 写接收命令重新进入接收数据状态。

2. 进入 RX 后，边读 FIFO 数据边接收

该场景适用于单次接收数据包长度超过 FIFO 容量的情况。在启动接收后，需监控 FIFO_flag 信号，该信号可配置从引脚输出，也可通过读取 Reg61 寄存器获取。在 RX FIFO 即将写满时，应及时读取数据，避免接收的数据被覆盖。

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

7 数据处理机制

芯片提供灵活可配置的数据控制模式，主要分为如下两大类：

- Direct 直通模式：在 RX 模式下，接收的串行数据可直接从 GPIO 口输出
- Packet 数据包模式：在数据包模式下所有数据都要经过 FIFO，且支持各种数据包模式的控制，数据包模式又可以分成四种帧格式

7.1 直通模式（Direct）

数据直通模式（Direct）是指芯片收到数据经过解调后，通过数字 GPIO 输出，需在 RX 启动前使能 Direct Mode，并将包模式配置为 Mode 0，使芯片进入循环工作状态。该模式下，RX 的启动与停止完全由 MCU 命令控制。

表 7-1：Direct 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x0E	2	RW	direct_mode	直通模式使能： 0：Disable 1：Enable

7.2 数据包（Packet）

数据包（Packet）的 Payload 数据通过 FIFO 读写，芯片内置 256 字节的 FIFO。数据包模式支持四种控制方式，在四种控制方式下，Preamble 与 SyncWord 的配置均生效。Preamble 最大可配置长度为 256 字节，SyncWord 配置配置为 0 ~ 8 字节。

数据包模式还支持 Manchester、FEC、Whiten 编解码以及 CRC 校验。CRC 可配置 8、16、24、32 位四种长度校验，且 CRC 多项式任意可配置。SyncWord 和 Payload 可选择高位优先或低位优先输出。CRC 和 SyncWord 数据的 Manchester 编码可独立开启或关闭。

Copyright © 2026 广芯微电子（广州）股份有限公司

表 7-2：Mode 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x0E	1:0	RW	packet_mode	数据包控制模式： 00：模式 0，接收到的数据循环写入 RX FIFO 中，需要 MCU 写命令退出接收状态 01：模式 1，由寄存器控制数据包长度 10：模式 2，RX FIFO 中的第 1 个或 2 个字节作为包长度 11：模式 3，含有 length、address、seqnum 等多种数据域的模式

7.2.1 数据包模式

UM2002 共支持 4 种数据包模式：Mode 0 ~ Mode 3。

7.2.1.1 MODE 0

MODE 0 为 FIFO 循环模式。在此模式下启动 RX，若没有收到 MCU 的停止命令，RX 端将接收到的数据不停写入到 RX FIFO 中，且 RX 端会检测 Preamble 和 SyncWord。帧格式有 Preamble、SyncWord 和 Data 三个数据域，长度不受芯片本身控制。

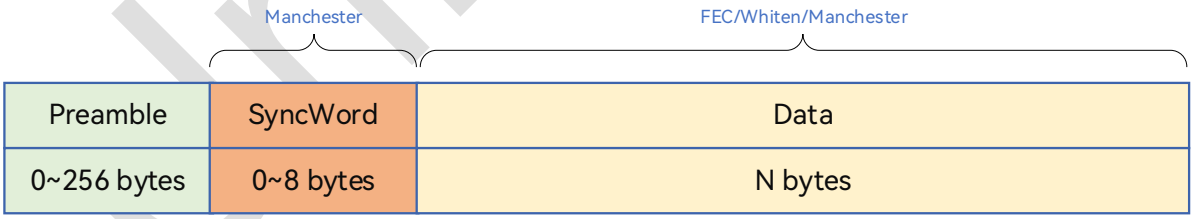


图 7-1：Mode 0 帧格式

7.2.1.2 MODE 1

MODE 1 帧格式包含 Preamble、SyncWord、Data 和 CRC 域。RX 端接收 Data 的长度同样由 Payload_len[15:0]寄存器控制。

Copyright © 2026 广芯微电子（广州）股份有限公司

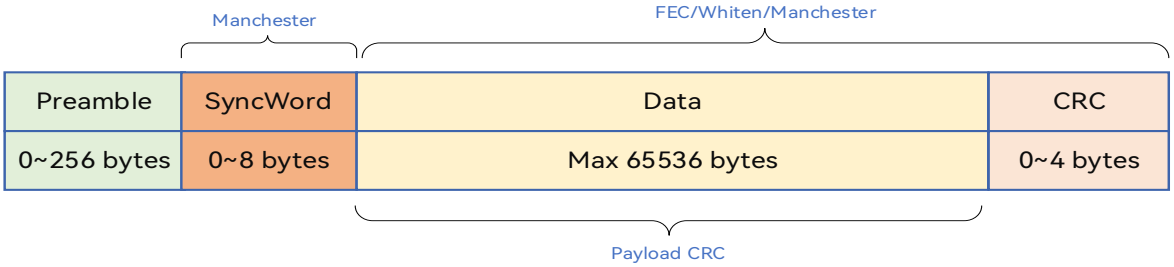


图 7-2：Mode 1 帧格式

7.2.1.3 MODE 2

MODE 2 帧格式包含 Preamble、SyncWord、Length、Data 和 CRC 域。在 RX 端，Length 为接收到的数据的前 1 个字或前 2 个字节，Length 为两个字节时高低字节顺序可互换，根据接收到的 Length 域数据去控制 Data 域的长度。

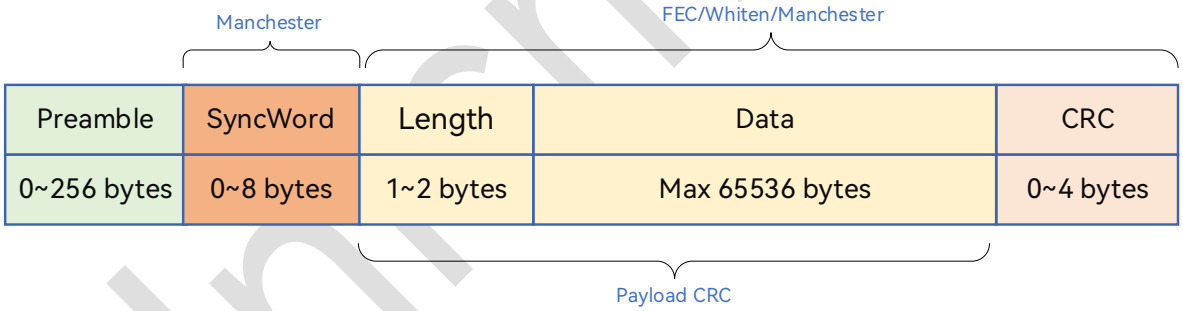


图 7-3：Mode 2 帧格式

7.2.1.4 MODE 3

MODE 3 帧格式包含 Preamble、SyncWord、Length、Address、SeqNum、FCS2、Data 和 CRC 域。Length、Address、SeqNum、FCS2 作为 payload 域并且可以单独使能。Address 域可选择放置在 Length 前。Length 数据来自 Payload_len[15:0]寄存器，且 Payload 长度范围包括 Length 到 CRC 之前的所有数据域。SeqNum 为数据包计数器，可由寄存器设置也可设置为自动增加。若 Length 域没有使能，则接收端根据寄存器 Payload_len 接收 Payload 数据。

Copyright © 2026 广芯微电子（广州）股份有限公司

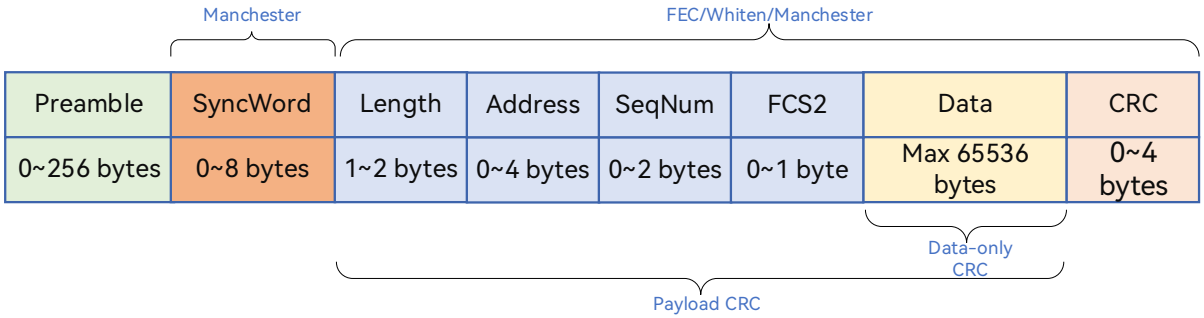


图 7-4: Mode 3 帧格式

7.2.2 数据包操作流程

在包模式中，从解调器输出的数据会先被移送至包处理机中进行解码，然后填入 FIFO。包处理机提供多种解码引擎和判断数据有效性的选项，这些可以减轻用户的操作。

典型的包模式的 RX 工作顺序如下:

1. 初始化寄存器。
2. 配置对应的接收模式。
3. 发送 RXON 命令进入接收状态。
4. 根据相关的中断状态读取 RX FIFO。
5. 接收完成后自动进入 IDLE 状态以节省功耗。
6. 清除接收中断状态。

7.2.3 数据包字段

7.2.3.1 Preamble

Preamble 主要用于接收端信号检测和同步。Preamble 的长短影响链路建立速度、稳定性和能效，合理的 Preamble 长度能有效改善通信性能。对于 RX 来说，芯片按 Preamble 匹配长度检测

Copyright © 2026 广芯微电子（广州）股份有限公司

Preamble Match，Preamble 检测成功时产生 PREAM_OK 中断标志。该中断可通过 GPIO 输出或读取中断寄存器，用户可根据业务需求检测该中断。

表 7-3：Preamble 配置相关寄存器列表

寄存器地址	位	属性	名称	描述
0x10	2	RW	preamble_int_en	接收 preamble（前导码）匹配中断使能: 0：Disable 1：Enable
0x37	7:0	RW	csrst_len	在补偿功能使能时，找到信号的频谱后连续收到 Reg37*4 个前导后，则认为找到有效的 preamble
0x38	4	RW	demod_comp_en	解调频偏补偿: 0：Disable 1：Enable

7.2.3.2 SyncWord

SyncWord 是数据包通信位于 Preamble 和 Payload 之间的关键标识，直接影响通信的可靠性和安全性，UM2002 提供灵活的同步字配置选项，可根据应用场景在识别成功率、抗干扰能力和功耗之间取得平衡。UM2002 支持 SyncWord 的独立使能，并支持自由长度设置，曼彻斯特使能，支持 bit 顺序交换、高低位交换，同步字中断。

表 7-4：Sync 配置相关寄存器列表

寄存器地址	位	属性	名称	描述
0x0D	5	RW	syncword_en	SyncWord 同步字使能: 0：Disable 1：Enable
0x10	1	RW	syncword_int_en	接收 SyncWord（同步字）匹配中断使能: 0：Disable 1：Enable
0x74	4	RW	sync_man_en	同步字曼彻斯特编码使能: 0：Disable 1：Enable
	3	RW	sync_bit_order	同步字 bit 顺序: 0：LSB 1：MSB

Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位	属性	名称	描述
	2:0	RW	sync_len	同步字长度: 000：{sync_id_1} 001：{sync_id_1, sync_id_2} 010：{sync_id_1, sync_id_2, sync_id_3} 011：{sync_id_1, sync_id_2, sync_id_3, sync_id_4} 100：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5} 101：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6} 110：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6, sync_id_7} 111：{sync_id_1, sync_id_2, sync_id_3, sync_id_4, sync_id_5, sync_id_6, sync_id_7, sync_id_8}
0x75	7:0	RW	sync_id_1	Sync Word 的值，根据不同的 sync_len 设置来填入不同的寄存器
0x76	7:0	RW	sync_id_2	
0x77	7:0	RW	sync_id_3	
0x78	7:0	RW	sync_id_4	
0x79	7:0	RW	sync_id_5	
0x7A	7:0	RW	sync_id_6	
0x7B	7:0	RW	sync_id_7	
0x7C	7:0	RW	sync_id_8	

7.2.3.3 Payload

Payload 是数据包通信中真正承载用户信息的核心部分，UM2002 支持灵活配置 Payload Data 编码，支持 bit 顺序设置、NRZ、曼彻斯特编码、数据白化、FEC 等编码。

在不同模式下，Payload Data 长度设置方式不一样，以下为各个模式设置。

Mode 0：Payload Data 的长度是由 FIFO 长度决定，当 fifo_size_en = 0 时，Payload Data 的长度为 128 bytes，当 fifo_size_en = 1 时，Payload Data 的长度为 256 bytes。

Mode 1：Payload Data 的长度由寄存器 payload_length[Reg7D、Reg7E]决定。

Copyright © 2026 广芯微电子（广州）股份有限公司

Mode 2：Payload Data 的长度由 FIFO 第一个字节或者前 2 个字节决定。

Mode 3：当 Length 长度使能时 Payload 长度由 Length 域决定。当 Length 不使能时，Payload 域长度由寄存器 payload_length 决定。

表 7-5：相关寄存器

寄存器地址	位	属性	名称	描述
0x0D	7	RW	payload_bit_order	Payload bit 顺序： 0：LSB 低位在前 1：MSB 高位在前
	6	RW	manchester_inv	曼彻斯特编码： 0：上升沿为编码 1，下降沿为编码 0 1：下降沿为编码 1，上升沿为编码 0
	3:2	RW	pkt_enc_type	数据包编码： 00：NRZ 01：曼彻斯特编码 10：无效 11：交织编码
	1:0	RW	fec_type	数据包 FEC 类型： 00：NO FEC 01：1/3 FEC 10：2/3 FEC 11：1/2 FEC
0x0E	7	RW	length_byte_swap	包长度控制域为两个字节时，高低字节顺序： 0：低字节在前 1：高字节在前
	6	RW	length_sel	包长度控制域字节配置： 0：1 字节 1：2 字节
	4	RW	scramble_en	数据白化（扰码）使能： 0：Disable 1：Enable
	3	RW	fifo_size_en	FIFO 大小设置： 0：RX FIFO 128 字节 1：RX FIFO 256 字节
0x70	7:0	RW	scramble_init_val[7:0]	scramble 初始化值

Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位	属性	名称	描述
0x71	6	RW	scramble_len	伪随机数长度选择: 0：PN9 1：PN7
	5	RW	scramble_msb	选择首先输出的移位寄存器: 0：LSB 1：MSB
	4	RW	scramble_type	伪随机数产生器类型: 0：抽出模式 1：插入模式
	3:1	RW	scramble_poly	反馈抽头选择
	0	RW	scramble_init_val[8]	scramble 初始化值最高位
0x7D	7:0	RW	payload_len[7:0]	payload 长度, 在数据包模式 1 和数据包模式 3 有效
0x7E	7:0	RW	payload_len[15:8]	payload 长度, 在数据包模式 1 和数据包模式 3 有效
0x80	5	RW	m3_length_en	数据包模式 3 时，数据长度域控制: 0：Disable 1：Enable

1. Payload_bit_order 的示例

当 Payload_bit_order = 0 表示发送时把 Payload 的每个 byte 自身从 LSB 到 MSB 的顺序发送或进行 Manchester/Whiten 编码。当 Payload_bit_order = 1 则表示把 Payload 的每个 byte 自身从 MSB 到 LSB 的顺序发送或进行 Manchester/Whiten 编码。

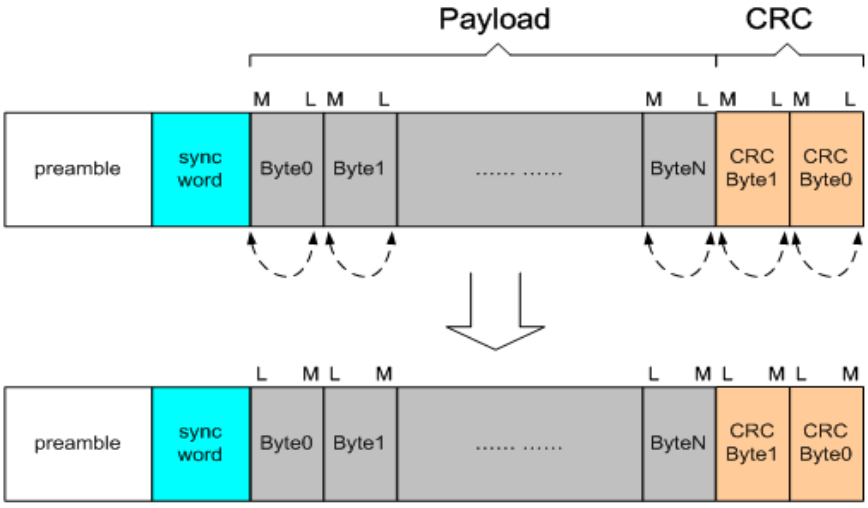


图 7-5：PAYLOAD_BIT_ORDER 操作

Copyright © 2026 广芯微电子（广州）股份有限公司

2. 数据白化示例

数据白化随机数产生器有 PN7 或 PN9 可选择，结构上也有抽出或插入模式；数据输出可选最低位或最高位。

- PN7 的抽出模式

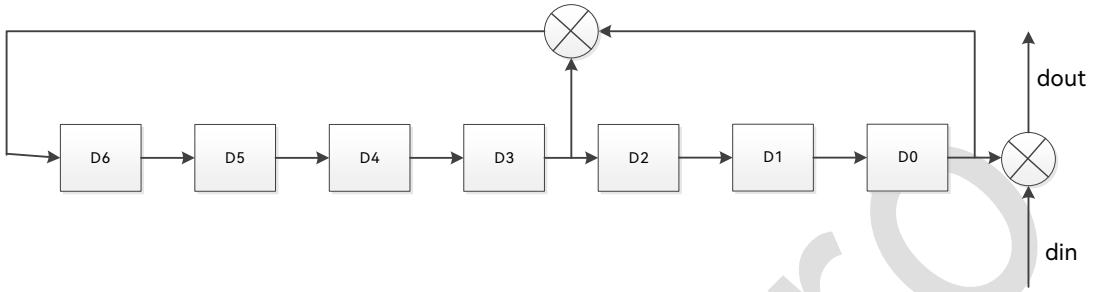


图 7-6：PN7 的抽出模式

如图 7-6 所示，移位顺序不变，从高位移位到低位，对应配置如下：

- Reg0E[4] = 1 打开白化使能
- Reg71[6] = 1 选择 PN7
- Reg71[5] = 0 选择 LSB 和数据做异或
- Reg71[4]= 0 选择抽出模式
- Reg71[3:1] = 'b010 选择在 D2 输入处抽出，即 Reg71[3:1]+1 的寄存器输出处，例如为 2，则在 D3 输出处抽出或者插入

- PN9 的插入模式

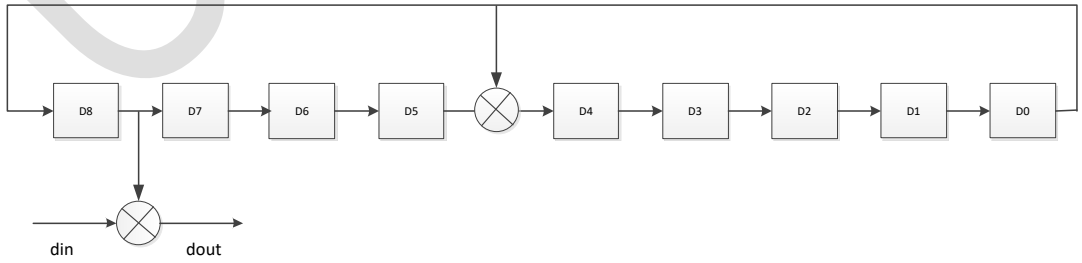


图 7-7：PN9 的插入模式

如图 7-7，移位顺序不变，从高位移位到低位，对应配置如下：

Copyright © 2026 广芯微电子（广州）股份有限公司

- Reg0E[4] = 1 打开白化使能
- Reg71[6] = 0 选择 PN9
- Reg71[5] = 1 选择 MSB 和数据做异或
- Reg71[4] = 1 选择插入模式
- Reg71[3:1] = 'b100 选择在 D4 输入处插入，即 Reg71[3:1]+1 的寄存器输出处，例如为 4，则在 D5 输出处抽出或者插入

7.2.3.4 Length

Length 域仅在 Mode 3 下支持，Length 域支持独立使能，并支持设置 Length 域位置选择。当 Length 使能时，Length 域决定 Mode 3 的 Payload 数据长度。当 Length 不使能时，Mode 3 的 Payload 数据长度由寄存器 Payload_length 决定。

表 7-6：Length 相关的寄存器列表

寄存器地址	位数	属性	比特名	功能说明
0x0E	7	RW	length_byte_swap	包长度控制域为两个字节时，高低字节顺序: 0：低字节在前 1：高字节在前
	6	RW	length_sel	包长度控制域字节配置: 0：1 字节 1：2 字节
0x6A	7:0	R	m3_rx_payload_len[7:0]	数据包模式 3 时，接收 length 数据
0x6B	7:0	R	m3_rx_payload_len[15:8]	数据包模式 3 时，接收 length 数据
0x80	5	RW	m3_length_en	数据包模式 3 时，数据长度域控制: 0：Disable 1：Enable
0x7D	7:0	RW	payload_len[7:0]	payload 长度，在数据包模式 1 和数据包模式 3 有效
0x7E	7:0	RW	payload_len[15:8]	payload 长度，在数据包模式 1 和数据包模式 3 有效

Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位数	属性	比特名	功能说明
0x81	1	RW	m3_addr_pos_sel	数据包模式 3 时，地址位置选择: 0：address 放在 length 之后 1：address 放在 length 之前

在 MODE 3 中，根据 Length 使能或不使能分为两种格式：固定包格式和可变包格式。当 length 域不使能，则来自寄存器 payload_len；当 length 域使能，则来自数据包格式的 length 域（m3_rx_payload_len）。

1. 固定包格式

在 MODE 3 中，Length 域不使能（Reg80[5]=0，m3_length_en=0）的情况下，Payload length 来自寄存器{Reg7D,Reg7E}，Payload length 的实际长度为配置的寄存器 Payload_len 加一。

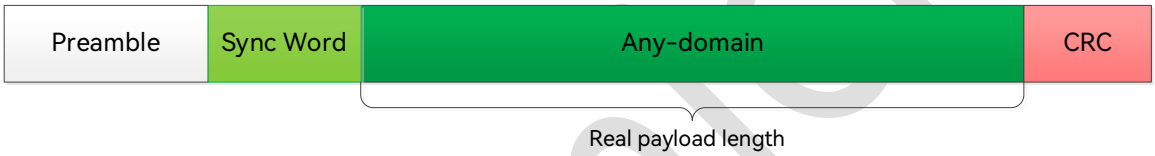


图 7-8：m3_length_en=0 时 MODE 3 帧格式

当 length 域不使能（m3_length_en=0）时，Payload 结构 = Address + Seqnum + FCS2 + Data，其中 Address / Seqnum / FCS2 单独配置使能，示例如下：

- **举例1：**
  - Payload_len<15:0> = 17
  - Addr_en = 1
  - Addr_size <1:0> = 2
  - Seqnum_en = 1
  - Seqnum_size = 1
  - Fcs2_en = 1

此处，Payload 包含 Address + Seqnum + FCS2 + Data 共 4 部分，Payload 的总长度是 17 + 1 = 18，Address 的长度是 2 (Addr) + 1 = 3，Sequence Num 的长度是 1 + 1 = 2，FCS2 长度固定为 1，所以，Data 的长度是 18 - 3 - 2 - 1 = 12 个 byte。

Copyright © 2026 广芯微电子（广州）股份有限公司

- **举例2:**
  - Payload_len <15:0> = 17
  - Addr_en = 0
  - Addr_size<1:0> = 2
  - Seqnum_EN = 0
  - Seqnum_size = 1
  - Fcs2_en = 0

  此处，Address + Seqnum + FCS2 不存在，Data 的长度为 18。

2. 可变包格式

在 MODE 3 中，Length 域使能（Reg80[5]=1，m3_length_en=1）的情况下，payload length 来自数据包的 Length 域（m3_rx_payload_len），根据 Length 域的位置不同及 Address 域使能来决定 payload length 的计算。

- **Address 不使能（m3_addr_en=0）**

当 Address 不使能的情况下，Payload 结构 = Length + Seqnum + FCS2 + Data，其中 Seqnum、FCS2 可以独立配置使能，payload Length 包括 length+Seqnum_FCS2+Data。

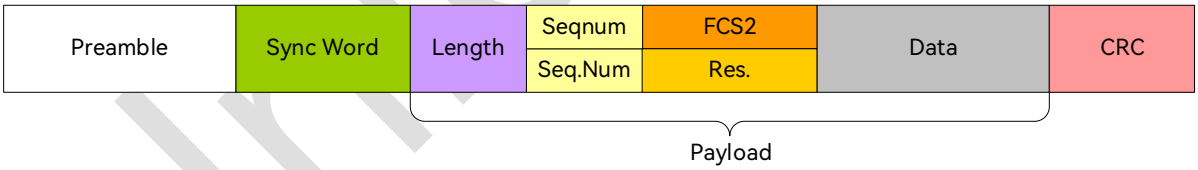


图 7-9：可变长度包格式，Address 不存在

当Length域使能，Address不使能（m3_length_en=1，m3_addr_en=0）时，整个payload的长度，包括length+Seqnum+FCS2+Data，Length的内容由m3_rx_payload_len <15:0>寄存器配置。若Length_size = 0，即m3_rx_payload_len <7:0>有效，最大值为 255，Length Byte本身是 1 个byte的长度。若Length_size = 1，即m3_rx_payload_len <15:0>有效，最大值为 65535，Length Byte本身是 2 个byte的长度， RX需要解析length域后写入寄存器m3_rx_payload_len，m3_rx_payload_len+1 表示Payload长度。

示例如下:

Copyright © 2026 广芯微电子（广州）股份有限公司

m3_rx_payload_len <15:0> = 17

Length_size = 0

Seqnum_EN = 1

Seqnum_size = 1

Fcs2_en = 1

此处，Payload包含Length + Seqnum + FCS2 + Data共 4 部分，Payload的总长度是 17 + 1 = 18，Length的长度是 1，Sequence Num的长度是 1 + 1 = 2，FCS2 长度固定为 1，则Data的长度是 18 - 1 - 2 - 1 = 14 个byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 1 = 17 个 byte。

若 length_size = 1，即 Length 的长度是 2，则 Data 的长度是 18 - 2 - 2 - 1 = 13 个 byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 2 = 16 个 byte。

- **Address 存在，且 Addr_pos_sel = 1（Address 在 Length Byte 之前）**

ADDR 放在 Length 之前，ADDR 单独罗列出来，Payload 结构 = Address + Length Byte + Seqnum + FCS2 + Data，Payload length 的实际长度为配置的寄存器 m3_rx_payload_len 加一。

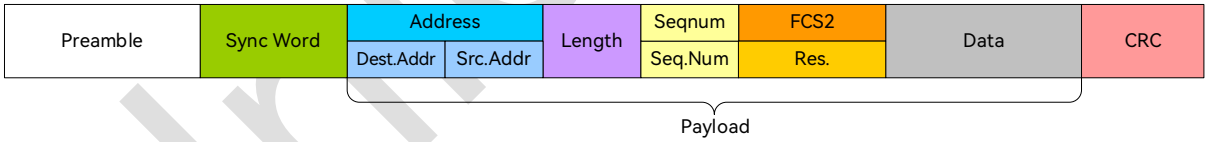


图 7-10：Address 存在，Address 在 Length Byte 之前

当Address存在，且Addr_pos_sel = 1（Address在Length Byte之前）时，Payload长度 = (addr_size<1:0> + 1) + 1 + m3_rx_payload_len <15:0>，其中Address的长度根据addr_size<1:0>确定，m3_rx_payload_len <15:0>的内容等于Length Byte的内容，m3_rx_payload_len +1 指的是除Address外的Payload的长度。若length_size = 0，即m3_rx_payload_len <7:0>有效，最大值为 255，Length Byte本身是 1 个byte的长度。若length_size = 1，即m3_rx_payload_len <15:0>有效，最大值为 65535，Length Byte本身是 2 个byte的长度。RX需要解析length域写入m3_rx_payload_len寄存器，m3_rx_payload_len+1 表示除Address外的Payload的长度。

Copyright © 2026 广芯微电子（广州）股份有限公司

示例如下:

m3_rx_payload_len<15:0> = 17

Addr_en= 1

Addr_size<1:0> = 2

Length_size = 0

Seqnum_EN = 1

Seqnum_size = 1

FCS2_EN = 1

此处，Payload 包含 Address + (Length + SeqNum + FCS2 + Data)共 5 部分，其中，Address 的长度是 2 (Dest.Addr) + 1 = 3，Length 的长度是 1，Sequence Num 的长度是 1 + 1 = 2，FCS2 长度固定为 1，那么 Payload 的总长度是 3 + (17 + 1) = 21，因此，Data 的长度是 18 - 1 - 2 - 1 = 14 个 byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 1 = 17 个 byte。

若 length_size = 1，即 Length 的长度是 2，则 Data 的长度是 18 - 2 - 2 - 1 = 13 个 byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 2 = 16 个 byte。

- **Address 存在，且 Addr_pos_sel = 0（Address 在 Length Byte 之后）**

ADDR 放在 Length 之后，同 MODE 1，Payload 结构 = Length Byte + Address + Seqnum + FCS2 + Data，Payload length 的实际长度为配置的寄存器 m3_rx_payload_len 加一。

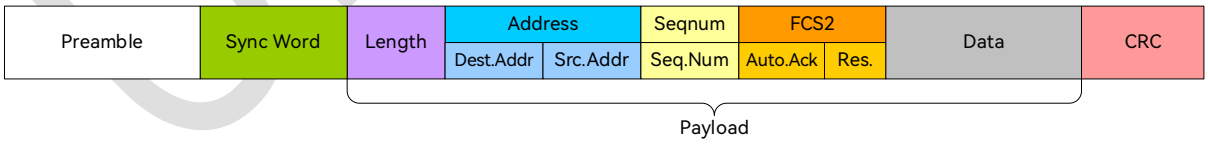


图 7-11：Address 存在，Address 在 Length Byte 之后

当Address存在，且Addr_pos_sel = 0（Address在Length Byte之后）时，Payload长度：1 + m3_rx_payload_len <15:0>，其中m3_rx_payload_len <15:0>的内容就等于Length Byte的内容，指的是Payload的长度。若length_size = 0，即m3_rx_payload_len <7:0>有效，最大值为 255，Length Byte本身是 1 个byte的长度。若length_size = 1，即m3_rx_payload_len <15:0>有效，最大值为 65535，

Copyright © 2026 广芯微电子（广州）股份有限公司

Length Byte 本身是 2 个 byte 的长度，RX 需要解析 length 域写入 m3_rx_payload_len，m3_rx_payload_len +1 表示Payload的长度。

示例如下：

m3_rx_payload_len<15:0> = 17

Addr_en = 1

Addr_size<1:0> = 2

Length_size = 0

Seq_en = 1

Seqnum_size = 1

FCS2_EN = 1

此处，Payload 包含 Length + Address + Seqnum + FCS2 + Data 共 5 部分，Payload 的总长度是 17 + 1 = 18，Length 的长度是 1，Address 的长度是 2 (Addr) + 1 = 3，Sequence Num 的长度是 1 + 1 = 2，FCS2 长度固定为 1，因此，Data 的长度是 18 - 1 - 3 -2 - 1 = 11 个 byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 1 -3 = 14 个 byte。

若 length_size = 1，即 Length 的长度是 2，则 Data 的长度是 18 - 2 -3 - 2 - 1 = 10 个 byte。

若 Seqnum + FCS2 不存在，则 Data 的长度是 18 - 2 -3 = 13 个 byte。

7.2.3.5 Address

Address 域仅在 Mode3 下支持，Address 域支持独立使能，并支持灵活设置、地址过滤等。

表 7-7：Address 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x81	5:4	RW	m3_addr_size	数据包模式 3 时，地址长度： 00：1 字节 01：2 字节 10：3 字节 11：4 字节

Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位	属性	名称	描述
	0	RW	m3_addr_en	数据包模式 3 时，地址域控制： 0：Disable 1：Enable
0x82	7:0	RW	m3_addr_val[7:0]	数据包模式 3 时，地址值
0x83	7:0	RW	m3_addr_val[15:8]	
0x84	7:0	RW	m3_addr_val[23:16]	
0x85	7:0	RW	m3_addr_val[31:24]	
0x86	7:0	RW	m3_addr_bit_mask[7:0]	数据包模式 3 时，地址过滤，mask 为“1”时对应地址位不作比较
0x87	7:0	RW	m3_addr_bit_mask[15:8]	
0x88	7:0	RW	m3_addr_bit_mask[23:16]	
0x89	7:0	RW	m3_addr_bit_mask[31:24]	

表 7-8：M3_ADDR_SIZE 选择

ADDR_SIZE	ADDR_VALUE			
	<31:24>	<23:16>	<15:8>	<7:0>
0	√	-	-	-
1	√	√	-	-
2	√	√	√	-
3	√	√	√	√

注：表中打勾的位置表示要填入的寄存器。

7.2.3.6 seqnum

Seqnum 域仅在 Mode3 下支持，支持独立使能，Seqnum 中自动填入到映射的寄存器，可以直接读取寄存器值。

表 7-9：seqnum 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x8A	4	RW	m3_seqnum_en	数据包模式 3 时，seqnum 数据使能： 0：Disable 1：Enable
	3	RW	m3_seqnum_bit_size	数据包模式 3 时，seqnum 数据长度： 0：8 bits 1：16 bits

Copyright © 2026 广芯微电子（广州）股份有限公司

7.2.3.7 FCS2

FCS2 域仅在 Mode3 下支持，FCS2 支持独立使能、灵活配置。

寄存器地址	位	属性	名称	描述
0x8D	0	RW	m3_fcs2_en	数据包模式 3 时，FCS2 数据域使能: 0：Disable 1：Enable

7.2.3.8 CRC

CRC 域在 Mode1/2/3 下支持，CRC 域作为数据校验，确保数据完整性、可靠性的关键技术，UM2002 的 CRC 域支持独立使能，灵活配置，支持常用的标准多项式。

表 7-10：CRC 相关寄存器列表

寄存器地址	位	属性	名称	描述
0x0E	5	RW	crc_en	CRC 使能: 0：Disable 1：Enable
0x80	4	RW	m3_crc_sel	数据包模式 3 时，CRC 的校验范围: 0：All payload 1：仅 FIFO 中的数据
0x94	4	RW	crc_bit_order	CRC bit 顺序 0：LSB 1：MSB
	3	RW	crc_inv	CRC bit 取反: 0：Disable 1：Enable
	1:0	RW	crc_len	CRC 长度: 00：8 位 01：16 位 10：24 位 11：32 位
0x95	7:0	RW	crc_poly[7:0]	CRC 多项式配置
0x96	7:0	RW	crc_poly[15:8]	
0x97	7:0	RW	crc_poly[23:16]	
0x98	7:0	RW	crc_poly[31:24]	

Unicmicro

 Copyright © 2026 广芯微电子（广州）股份有限公司

寄存器地址	位	属性	名称	描述
0x99	7:0	RW	crc_init_val[7:0]	CRC 移位寄存器初始化值
0x9A	7:0	RW	crc_init_val[15:8]	
0x9B	7:0	RW	crc_init_val[23:16]	
0x9C	7:0	RW	crc_init_val[31:24]	

1. CRC 配置说明

- **Mode3_crc_sel（Reg80[4]）**

  M3_crc_sel 用来指定在 Mode 3 时 CRC 的编解码校验对象。

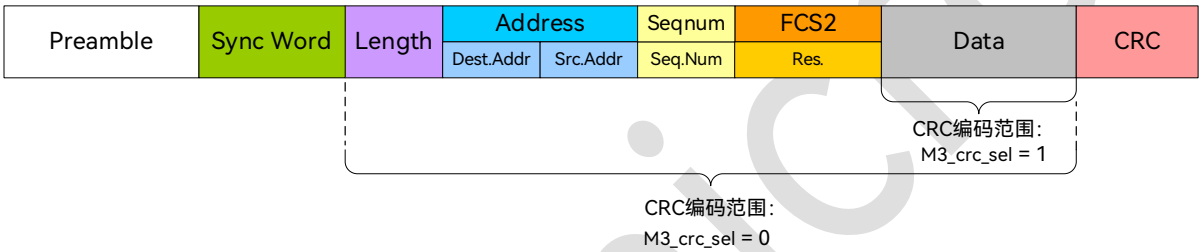


图 7-12：CRC 编码范围

- **crc_inv（Reg94[3]）**

  此功能是将 CRC 的每一位都进行逻辑取反，原来是 0 变为 1，原来是 1 变为 0。



图 7-13：CRC_INV

- **crc_bit_order（Reg94[4]）**

  此功能是将 CRC 的 b31-b0 开始送出或者从 b0 - b31 发送选项。



图 7-14：CRC_BIT_ORDER

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

2. 常用 CRC 标准和多项式

表 7-11：常用 CRC 标准和多项式列表

名称	生成多项式	数值式	简记式	标准引用
CRC-4	x^4+x+1	0x1’3	0x3	ITU G.704
CRC-8	$x^8+x^5+x^4+1$	0x1’31	0x31	-
CRC-8	x^8+x^2+x1+1	0x1’07	0x07	-
CRC-8	$x^8+x^6+x^4+x^3+x^2+x1$	0x1’5E	0x5E	-
CRC-12	$x^{12}+x^{11}+x^3+x^2+x+1$	0x1’80F	0x80F	-
CRC-32c	$X^{32}+x^{28}+x^{27}+\ldots x^8+x^6+1$	0x1’1EDC6F41	0x1EDC6F41	SCTP
CRC-16	$x^{16}+x^{15}+x^2+1$	0x1’8005	8005	IBM SDLC
CRC-CCITT	$x^{16}+x^{12}+x^5+1$	0x1’1021	0x1021	ISO HDLC， ITU X.25， V.34/V.41/V.42， PPP-FCS
CRC-32	$X^{32}+x^{26}+x^{23}+\ldots x^2+x+1$	0x1’04C11DB7	0x04C11DB7	ZIP，RAR， IEEE 802 LAN /FDDI， IEEE1394，PPP-FCS

3. 配置 CRC8 和 CRC16 示例

A. CRC8 的 $X^8+X^2+X^1+1$ 配置举例（简记式为 0x07）。

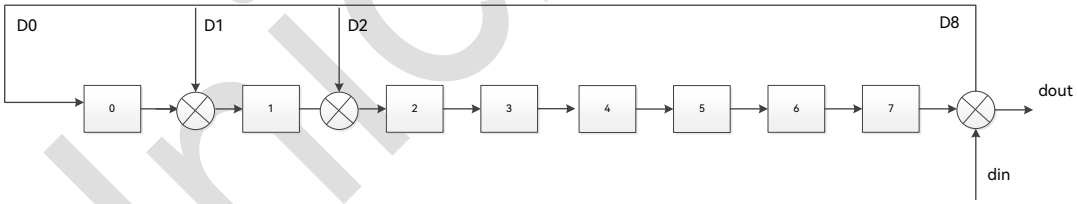


图 7-15：0x07 配置

如图 7-15 所示，对应配置如下：

Reg94[1:0] = 0x00

Reg95 = 0x07

Reg96 = 0x00

Reg97 = 0x00

Reg98 = 0x00

Reg99、Reg9A、Reg9B 和 Reg9C 根据实际情况配置 CRC 的初始值。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

B. CRC 的 $X^{16}+X^{12}+X^5+1$ 的配置举例（简记式为 0x1021）。

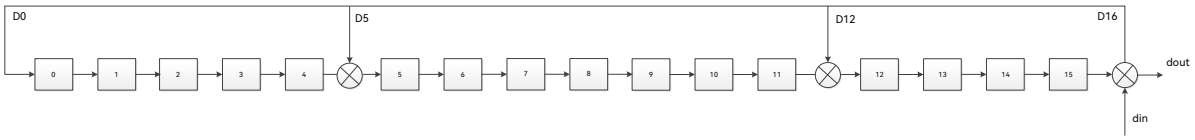


图 7-16：0x1021 配置

如图 7-16 所示，对应配置如下：

Reg94[1:0] = 0x01

Reg95 = 0x21

Reg96 = 0x10

Reg97 = 0x00

Reg98 = 0x00

Reg99、Reg9A、Reg9B、Reg9C 根据实际情况配置 CRC 的初始值。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

8 典型应用

8.1 参考原理图

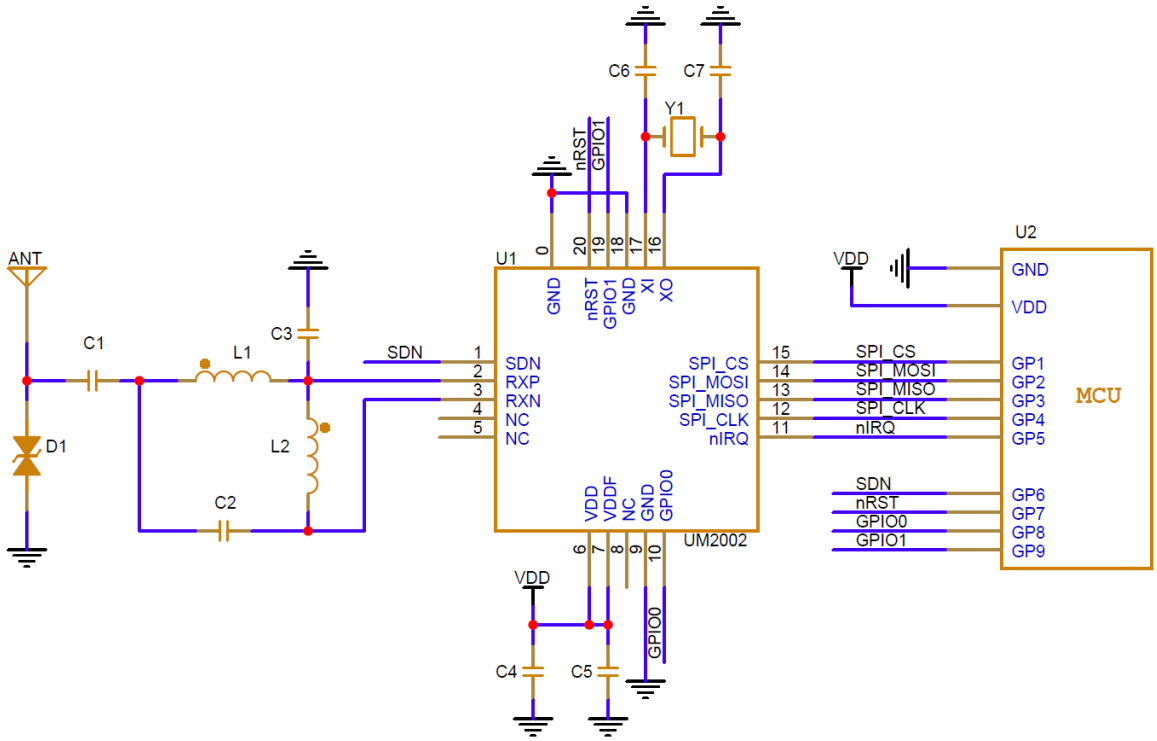


图 8-1：参考原理图

Copyright © 2026 广芯微电子（广州）股份有限公司

8.2 匹配参数

表 8-1：匹配参数表

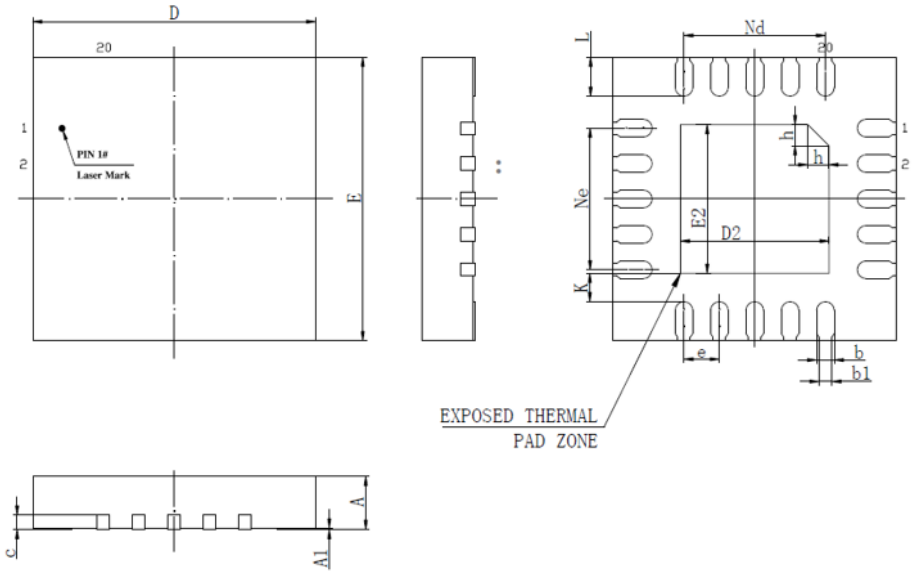
位号	描述	元件值				单位
		315	433	868	915	MHz
C1	±10%，0402，X7R，50V，YAGEO	220	220	220	220	pF
C2	±5%，0402，X7R，50V，YAGEO	5.6	3	2.4	2.4	pF
C3	±5%，0402，X7R，50V，YAGEO	4.7	8.2	3.3	3.3	pF
C4	±10%，0402，X7R，50V，YAGEO	2.2	2.2	2.2	2.2	μF
C5	±10%，0402，X7R，50V，YAGEO	100	100	100	100	nF
C6	±10%，0402，X7R，50V，YAGEO	20	20	20	20	pF
C7	±10%，0402，X7R，50V，YAGEO	20	20	20	20	pF
L1	±5%，0402，贴片绕线电感，Sunlord	68	33	15	15	nH
L2	±5%，0402，贴片绕线电感，Sunlord	82	33	12	12	nH
D1	ESD 保护二极管	-	-	-	-	-
Y1	3225 无源晶振，±10PPM，12pF 负载	26	26	26	26	MHz

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司

9 封装尺寸

9.1 QFN20（4 * 4mm）



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	0	0.02	0.05
b	0.20	0.25	0.30
b1	0.18REF		
c	0.203REF		
D	3.90	4.00	4.10
D2	2.00	2.10	2.20
e	0.50BSC		
Nd	2.00BSC		
Ne	2.00BSC		
E	3.90	4.00	4.10
E2	2.00	2.10	2.20
L	0.50	0.55	0.60
h	0.25	0.30	0.35
K	0.40REF		

图 9-1：QFN20 封装图

Copyright © 2026 广芯微电子（广州）股份有限公司

10 版本维护

版本	日期	描述
V1.0	2022-08-15	初始版
V1.1	2025-03-23	1. 删除原1.2 主要特性和电气参数章节，对应内容调整至数据手册。 2. 更新部分引脚功能及寄存器描述。 3. 调整功能描述、芯片运行、数据处理机制内容及排版。 4. 更新应用参考原理图。
V1.2	2026-10-19	1. 调整芯片运行描述。 2. 调整数据包及处理机制描述。 3. 调整原理图。

Unicmicro

Copyright © 2026 广芯微电子（广州）股份有限公司